

ER262805352US

中華民國經濟部智慧財產局

INTELLECTUAL PROPERTY OFFICE  
MINISTRY OF ECONOMIC AFFAIRS  
REPUBLIC OF CHINA

茲證明所附文件，係本局存檔中原申請案的副本，正確無訛，  
其申請資料如下：

This is to certify that annexed is a true copy from the records of this  
office of the application as originally filed which is identified hereunder:

申請日：西元 2003 年 05 月 02 日  
Application Date

申請案號：092112102  
Application No.

申請人：南亞科技股份有限公司  
Applicant(s)

局長  
Director General

蔡練生

發文日期：西元 2003 年 7 月 9 日  
Issue Date

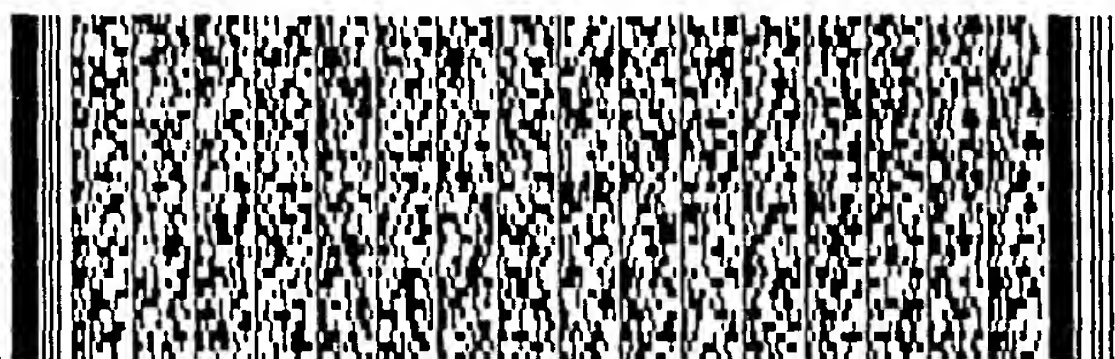
發文字號：09220690410  
Serial No.

申請日期：	IPC分類
申請案號：	

(以上各欄由本局填註)

## 發明專利說明書

一、 發明名稱	中 文	具有部分垂直通道之記憶單元之主動區自對準製程
	英 文	
二、 發明人 (共3人)	姓 名 (中文)	1. 張明成 2. 陳逸男 3. 黃則堯
	姓 名 (英文)	1. Ming-Cheng Chang 2. Yi-Nan Chen 3. Tse-Yao Huang
	國 籍 (中英文)	1. 中華民國 TW 2. 中華民國 TW 3. 中華民國 TW
	住居所 (中 文)	1. 桃園縣蘆竹鄉蘆竹村12鄰31號 2. 台北市北投區建民路151巷4號 3. 台北市南港區南港路二段142號13樓之1
	住居所 (英 文)	1. 2. 3.
三、 申請人 (共1人)	名稱或 姓 名 (中文)	1. 南亞科技股份有限公司
	名稱或 姓 名 (英文)	1. Nanya Technology Corporation.
	國 籍 (中英文)	1. 中華民國 ROC
	住居所 (營業所) (中 文)	1. 桃園縣龜山鄉華亞科技園區復興三路669號 (本地址與前向貴局申請者相同)
	住居所 (營業所) (英 文)	1. Hwa-Ya Technology Park 669, Fuhsing 3 Rd., Kueishan, Taoyuan, Taiwan, R.O.C
	代表人 (中文)	1. 連日昌
代表人 (英文)	1. Jih-Chang Lien	



四、中文發明摘要 (發明名稱：具有部分垂直通道之記憶單元之主動區自對準製程)

本發明提供一種具有部分垂直通道之記憶單元之主動區自對準製程，首先，提供一半導體基底，半導體基底包含有二深溝槽；接著，於每一深溝槽內形成一深溝槽電容，深溝槽電容低於半導體基底表面，於每一深溝槽電容表面上形成一隔絕層；然後，於每一深溝槽內填滿一罩幕層，且於深溝槽間之半導體基底上形成一光阻層，其中光阻層覆蓋罩幕層之部分表面；以光阻層及罩幕層為蝕刻罩幕，蝕刻半導體基底至低於隔絕層之高度；及去除光阻層及罩幕層，其中深溝槽電容間之突出柱狀半導體基底即為一主動區。

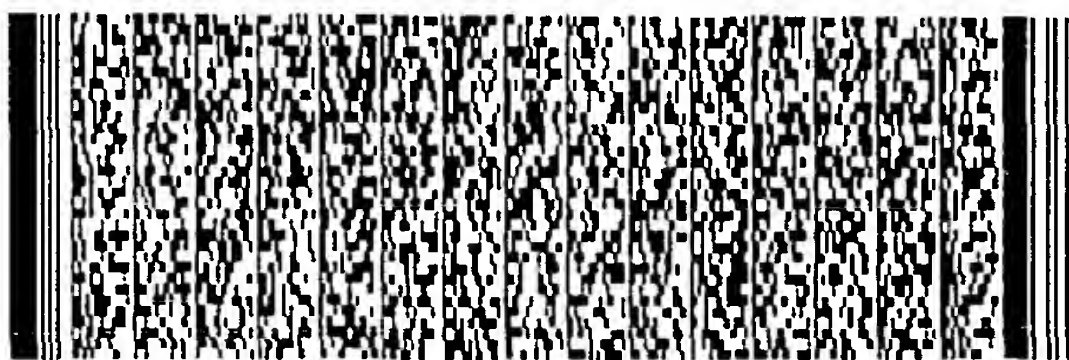
伍、(一)、本案代表圖為：第2h圖。

(二)、本案代表圖之元件代表符號簡單說明：

201、201b~半導體基底；

201a~深溝槽；

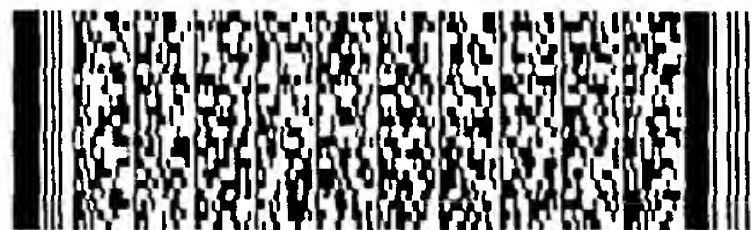
六、英文發明摘要 (發明名稱：)



四、中文發明摘要 (發明名稱：具有部分垂直通道之記憶單元之主動區自對準製程)

202~ 墊層；  
203~ 深溝槽電容；  
204~ 環狀絕緣層；  
205~ 隔絕層；  
206~ 罩幕層；  
207~ 光阻層。

六、英文發明摘要 (發明名稱：)



一、本案已向

國家(地區)申請專利

申請日期

案號

主張專利法第二十四條第一項優先權

無

二、☐主張專利法第二十五條之一第一項優先權：

申請案號：

無

日期：

三、主張本案係符合專利法第二十條第一項☐第一款但書或☐第二款但書規定之期間

日期：

四、☐有關微生物已寄存於國外：

寄存國家：

寄存機構：

寄存日期：

寄存號碼：

無

☐有關微生物已寄存於國內(本局所指定之寄存機構)：

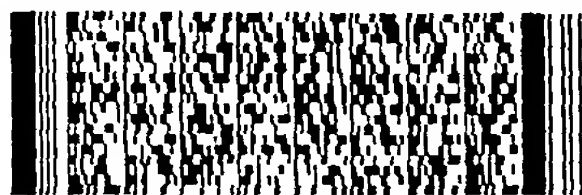
寄存機構：

寄存日期：

寄存號碼：

無

☐熟習該項技術者易於獲得, 不須寄存。



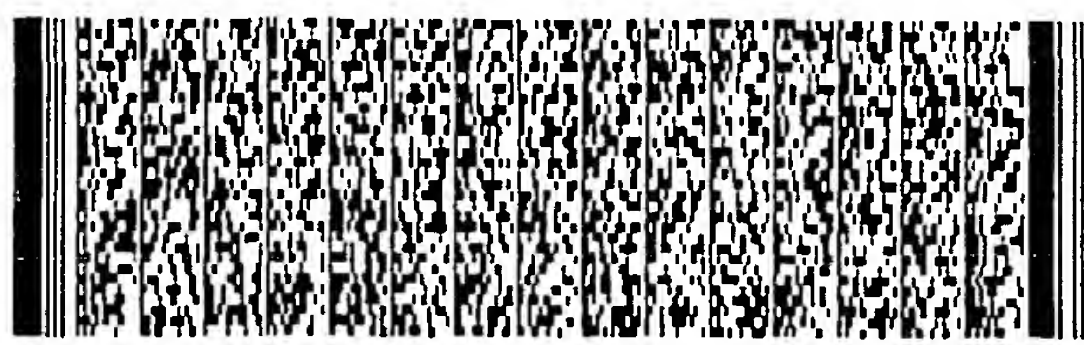
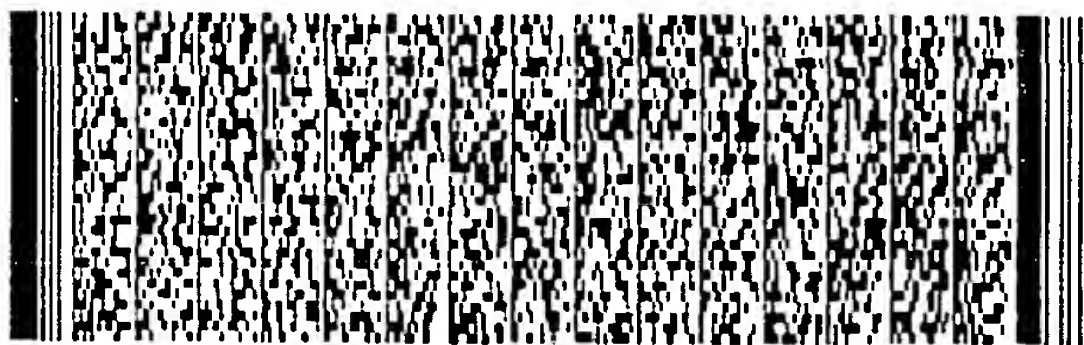
## 五、發明說明 (1)

### 【發明所屬之技術領域】

本發明係有關一種半導體元件之記憶單元，特別係有關於一種具有垂直電晶體(vertical transistor)以及深溝槽電容(deep trench capacitor)之主動區自對準製程之記憶單元。

### 【先前技術】

在積體電路晶片上製作高密度植入之半導體元件時，必須考慮如何縮小每一個記憶單元的大小與電力消耗，以使其操作速度加快。在傳統的平面電晶體設計中，為了獲得一個最小尺寸之記憶單元，必須盡量將電晶體的閘極長度縮短，以減少記憶單元的橫向面積。但是，這會使閘極無法忍受較大的漏電流而必須相對應地降低位元線上的電壓，進而使得電容所儲存的電荷減少，所以在縮短閘極的橫向長度同時，還要考量如何製作一個具有較大電容量之電容，例如：增加電容之面積、減少電容板之間的有效介質厚度等等。由於在實際製作上無法同時滿足減少記憶單元面積且增加電容面積的條件，也無法進一步縮小有效介質的厚度，因此目前發展出一種垂直電晶體(vertical transistor)結構，可以將閘極長度維持在一個可得到低漏電流的適當值，不但不會減小位元線電壓，也不會增加記憶單元的橫向面積。此外，還發展出一種深溝槽電容(deep trench capacitor)，是直接設置於垂直電晶體下方，不會佔用記憶單元的額外面積。





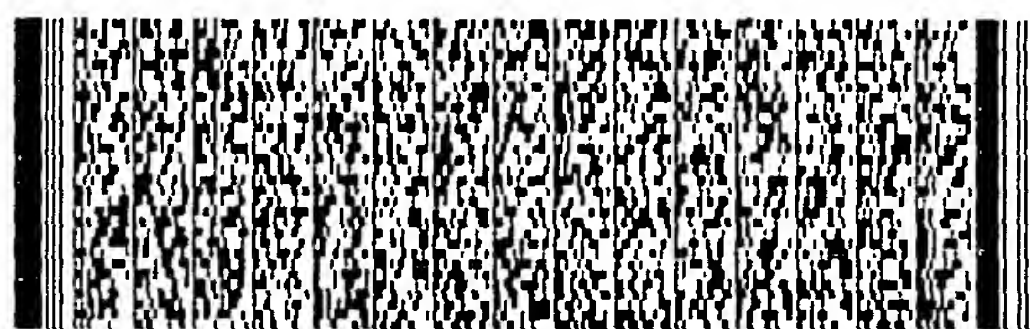
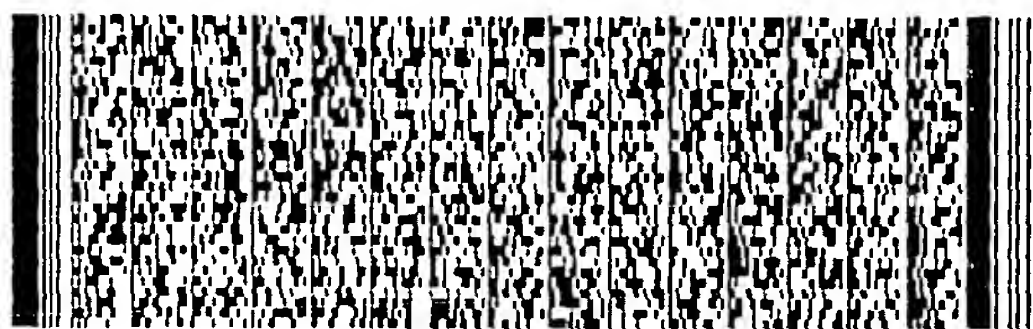
## 五、發明說明 (2)

在美國專利第6,034,389中揭示一種具有深溝槽電容之自行對準式擴散源極垂直電晶體。

請參考第1a-1e圖，第1a-1e圖係顯示習知之具有部分垂直通道之電晶體之切面示意圖。

習知製作方法是於一p型矽基底101上形成複數個深溝槽104以及相對應凸出之柱形區102，使深溝槽104隔離每一個柱形區102。如第1a圖所示，柱形區102表面上設有一薄墊氧化物層103a以及一氮氧化物層103b，是用來定義柱形區102區域。首先於深溝槽104下方區域的側壁上形成一重度摻雜氧化物105(如砷玻璃ASG)作為源極擴散材料，然後於高溫下進行短時間的退火製程，使砷擴散至柱形區102側壁而形成一n型重摻雜( $n^+$ )擴散區106，用來作為一 $n^+$ 源極區106以及後續製作之深溝槽電容的儲存電極。隨後如圖1b所示，將重度摻雜氧化物105去除。

然後，如第1c圖所示，在深溝槽104內側壁上生長一ONO薄膜107，作為深溝槽電容的介質。接著於深溝槽104內沈積一 $n^+$ 多晶矽層108，作為溝槽電容的電容板108，並將ONO薄膜107以及 $n^+$ 多晶矽層108蝕刻至一預定深度。跟著，如第1d圖所示，於深溝槽104內之 $n^+$ 多晶矽層108上覆蓋一障蔽氧化層109，以便將後續製作之閘極隔離。隨後，於深溝槽104內之側壁上生長一閘極氧化物110，再於深溝槽104內填滿一 $n^+$ 多晶矽層111，作為一控制閘極111。然後，如第1e圖所示，蝕刻閘極111以便隔離各字線，再將薄墊氧化物層103a以及氮氧化物層103b去除之後，於每



### 五、發明說明 (3)

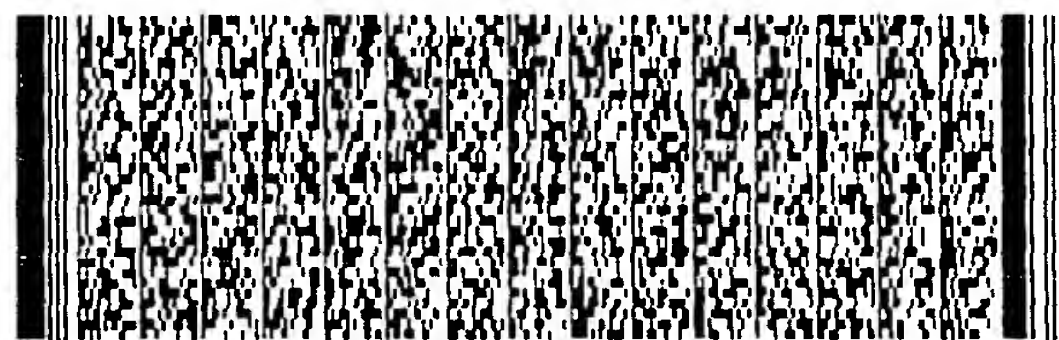
一個柱形區102頂端植入一 $n^+$ 汲極區112。最後形成一與字線垂直之位元線金屬層113，便製作完成記憶單元陣列。

由上述可知，在每一個記憶單元中，控制閘極111、 $n^+$ 源極區106以及 $n^+$ 汲極區112構成一垂直電晶體，而位於垂直電晶體下方之 $n^+$ 擴散區106、ON0薄膜107以及 $n^+$ 多晶矽層108則構成深溝槽電容。在一個開放位元線(open bitline)的架構中，所有的記憶單元共用深溝槽電容之 $n^+$ 多晶矽電容板108，電荷係儲存在每一個柱形區102內之 $n^+$ 擴散區106。雖然柱形區102頂部可以用來作為 $n^+$ 源極區106以及 $n^+$ 汲極區112之間的通道，但是為了避免柱形區102內側壁上兩相鄰之源極區106產生空乏區(depletion region)過份接近而重疊的情形，柱形區102的橫向寬度會受到一定的限制而無法再縮短。

當柱形區102所構成之主動區與深溝槽104未對準時，電容摻質容易擴散而影響主動區之摻質區，而造成主動區之摻質濃度升高，如此一來，將會影響記憶胞的電性，並使相鄰的記憶單元有不同之內在的漏電流，造成記憶之資料錯誤。

#### 【發明內容】

有鑑於此，本發明之目的在於提供一種具有部分垂直通道之電晶體之主動區的製程，適用於動態隨機存取記憶單元，可藉由在深溝槽內填入抗反射層來製作自對準製程之主動區。

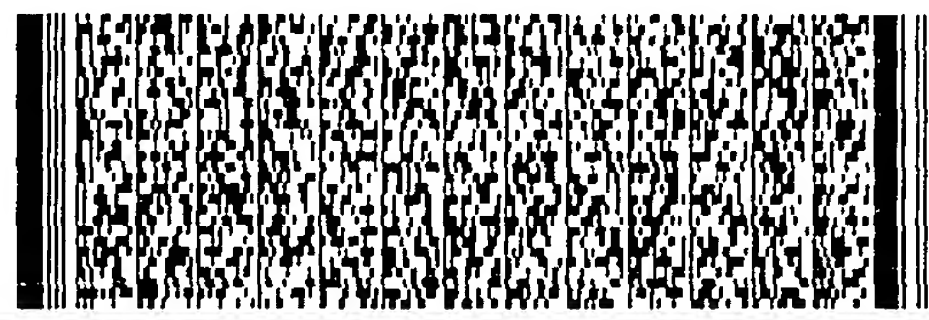
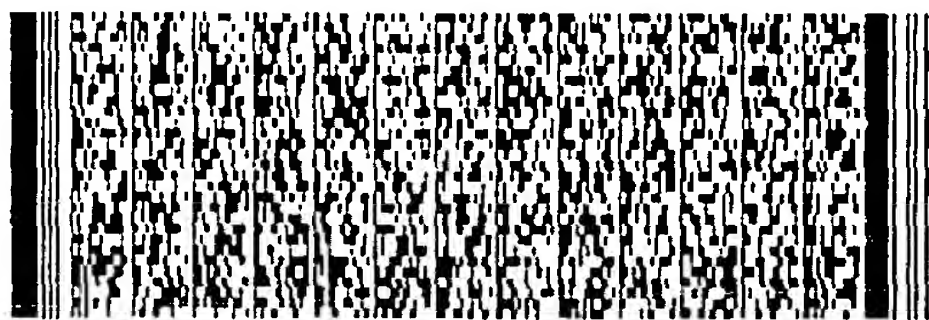




#### 五、發明說明 (4)

根據上述目的，本發明提供一種具有部分垂直通道之記憶單元之主動區自對準製程，包括下列步驟：提供一半導體基底，半導體基底包含有二深溝槽；於每一深溝槽內形成一深溝槽電容，深溝槽電容低於半導體基底表面；於每一深溝槽電容表面上形成一隔絕層；於每一深溝槽內填滿一罩幕層；於深溝槽間之半導體基底上形成一光阻層，其中光阻層覆蓋罩幕層之部分表面；以光阻層及罩幕層為蝕刻罩幕，蝕刻半導體基底至低於隔絕層之高度；及去除光阻層及罩幕層，其中深溝槽電容間之突出柱狀之半導體基底即為一主動區。

根據上述目的，本發明再提供一種具有部分垂直通道之記憶單元之主動區自對準製程，包括下列步驟：提供一半導體基底，半導體基底上形成有一墊層；於半導體基底形成二深溝槽，二深溝槽相隔一既定距離；於每一深溝槽內形成一深溝槽電容，深溝槽電容低於半導體基底表面，其中每一深溝槽之頂部側壁上形成有一環狀絕緣層；於半導體基底及深溝槽上順應性形成一隔絕層；去除深溝槽側壁上之隔絕層，留下該等深溝槽電容表面之該隔絕層；於該半導體基底上形成一罩幕層，且該罩幕層填滿該等深溝槽；平坦化該罩幕層至露出該半導體基底表面為止，以留下該等深溝槽內之該罩幕層；於該等深溝槽間之該半導體基底上形成一光阻層，其中該光阻層覆蓋該等罩幕層之部分表面；以該光阻層及該等罩幕層為蝕刻罩幕，蝕刻該半導體基底至低於該隔絕層一既定深度；及去除該光阻層及



#### 五、發明說明 (5)

該等單幕層，其中該等深溝槽間之突出柱狀之該半導體基底即為一主動區。

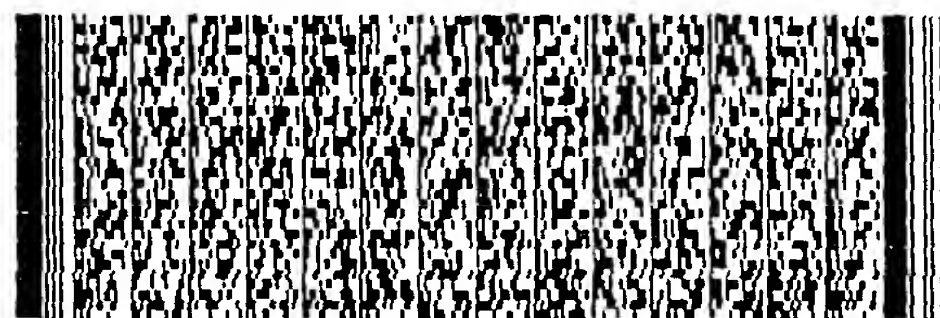
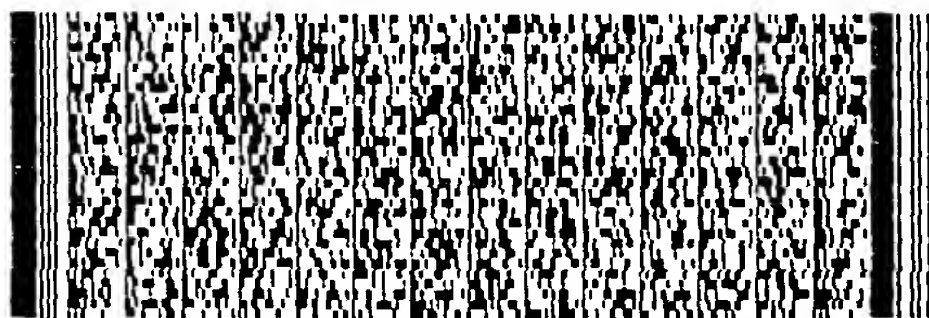
為使本發明之上述和其他目的、特徵、和優點能更明顯易懂，下文特舉一較佳實施例，並配合所附圖式，作詳細說明如下：

#### 【實施方法】

請參考第2a-2h圖，第2a-2h圖係顯示本發明之具有部分垂直通道之記憶單元之主動區自對準製程之切面示意圖。

請參考第2a圖，首先，提供一半導體基底201，半導體基底201上形成有一墊層202，且半導體基底201包含有二深溝槽201a，此二深溝槽201a彼此間相距一既定距離，此既定距離間之半導體基底即為後續定義之主動區，因此此既定距離可根據需要來決定，例如是1200至1400 Å。其中，墊層202例如是墊氧化(pad oxide)層或墊氮化(pad nitride)層。

於該深溝槽201a中填入一導電層以作為一深溝槽電容203，深溝槽電容203的高度低於半導體基底201之表面，深溝槽電容203的高度可以根據需要來決定，深溝槽電容203與半導體基底201表面間之距離可決定後續形成之閘極之垂直通道長度。其中，每一深溝槽201a之頂部側壁上形成有一領型(collar)的環狀絕緣層204，用以與後續可繼續形成之閘極作為隔絕之用。其中，導電層例如是多晶矽



## 五、發明說明 (6)

層；環狀絕緣層204例如是氧化層。

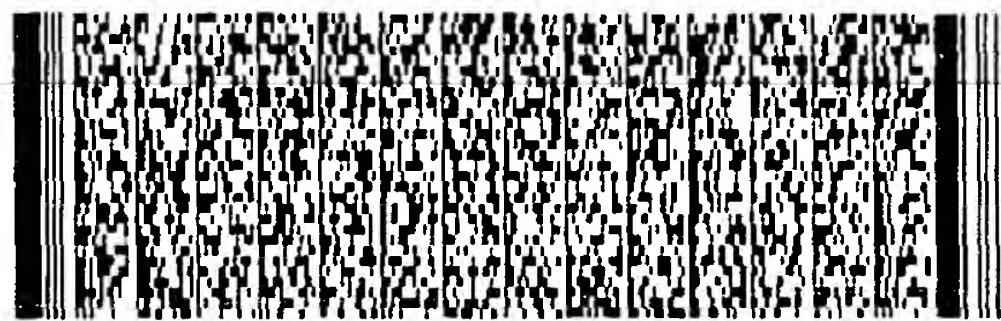
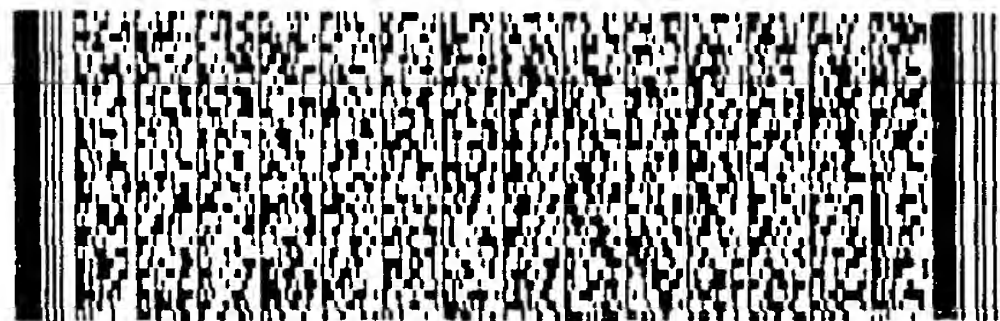
請參考第2b圖，接著，於半導體基底201、深溝槽201a及深溝槽電容203上順應性形成一隔絕層，並對隔絕層進行等向性蝕刻步驟以去除深溝槽201a側壁上之隔絕層，直至留下深溝槽電容203上之隔絕層205。因為隔絕層形成於深溝槽201a側壁與深溝槽電容203表面上之厚度比例小於1:8，因此去除深溝槽201a側壁上之隔絕層時，對深溝槽電容203上之隔絕層205不會有相當大的影響。其中，隔絕層205例如是頂溝槽氧化層(top trench oxide)。

請參考第2c圖，於墊層202上形成一罩幕層206，罩幕層206會填滿深溝槽201a。其中，罩幕層206例如是有機抗反射層如氮氧化矽(SiON)層等。

接下來，對罩幕層206進行平坦化步驟至露出墊層202之表面為止，並留下深溝槽201a內之罩幕層206a，如第2d圖所示。其中，平坦化步驟例如是化學機械研磨(chemical mechanical polish)步驟或回蝕刻(etch back)步驟。

請參考第2e圖，於二深溝槽201a間之半導體基底201上形成一光阻層207，光阻層207為了將半導體基底201完全覆蓋，因此會覆蓋部分之罩幕層206a。

請參考第2f圖，以光阻層207及罩幕層206a為蝕刻罩幕，對半導體基底201進行非等向性蝕刻，直到未被遮蔽之半導體基底201之高度低於隔絕層205為止，被蝕刻之半



#### 五、發明說明 (7)

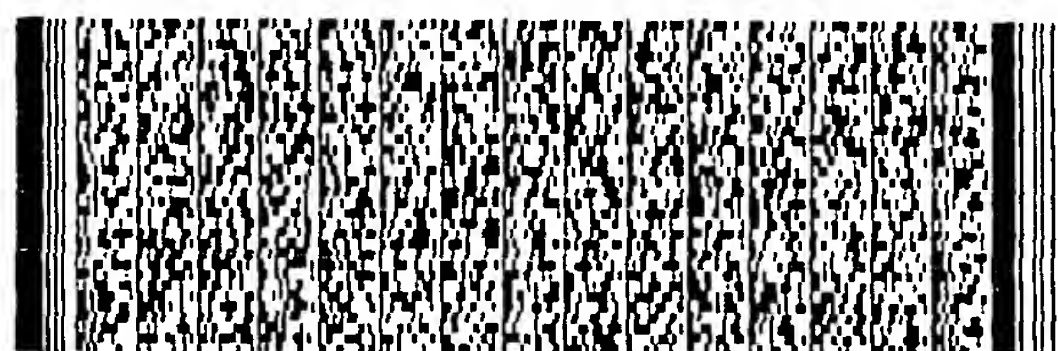
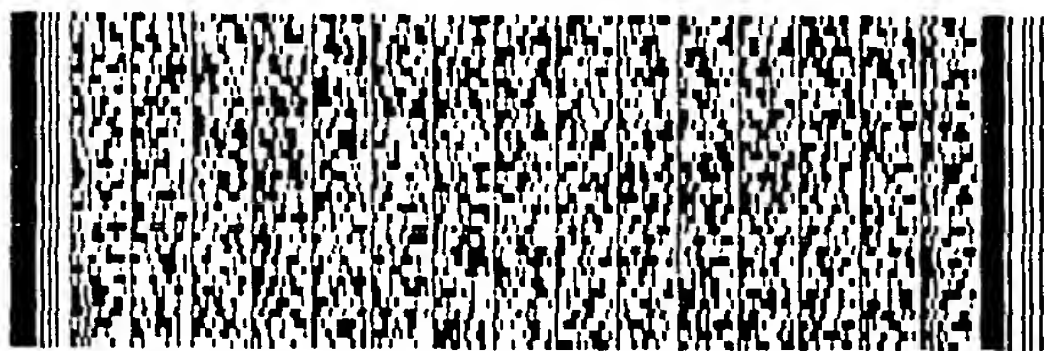
導體基底201之深度約為2600至3300 Å。其中，非等向性蝕刻例如是電漿蝕刻(plasma etching)或反應性離子蝕刻(reactive ion etching)；反應氣體為含溴化氫(HBr)氣體與含氧(O<sub>2</sub>)氣體之混合氣體，含溴化氫(HBr)氣體對多晶矽層與氮化層具有良好選擇蝕刻，可減少蝕刻基底時對其他構造之影響。

然後，依序將光阻層207及罩幕層206a去除，如此一來即使二深溝槽201a間之半導體基底201b呈一突出柱狀，如第2g圖所示。

接著，請參考第2h圖，將墊層202去除。如此一來，二深溝槽201a間之突出柱狀之半導體基底201b即為後續形成電晶體位置之主動區。

根據本發明所提供之適用於動態隨機存取記憶單元之具有部分垂直通道電晶體之主動區製程中，可藉由在深溝槽中形成抗反射層來作為自對準之罩幕，可減少光罩之數目，有效減少製作時間及成本。同時，因為有抗反射層作為蝕刻罩幕的緣故，可避免蝕刻至深溝槽之嶺形環狀絕緣層，因此可使用對多晶矽層及氮化層具有良好選擇蝕刻比之氣體，例如溴化氫氣體來作為蝕刻反應氣體。

雖然本發明已以較佳實施例揭露如上，然其並非用以限定本發明，任何熟習此技藝者，在不脫離本發明之精神和範圍內，當可作更動與潤飾，因此本發明之保護範圍當視後附之申請專利範圍所界定者為準。





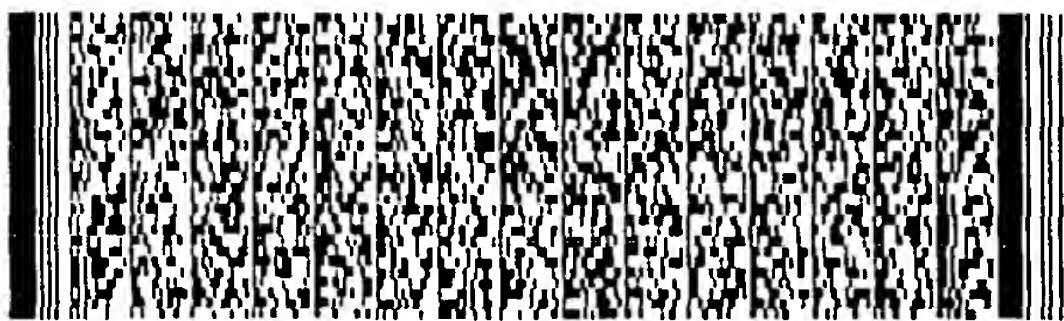
## 圖式簡單說明

第1a-1e圖係顯示習知之具有部分垂直通道之電晶體之切面示意圖。

第2a-2h圖係顯示本發明之具有部分垂直通道之記憶單元之主動區自對準製程之切面示意圖。

### 符號說明：

- 101~p型矽基底；
- 102~柱形區；
- 103a~薄墊氧化物層；
- 103b~氮氧化物層；
- 104~深溝槽；
- 105~重度摻雜氧化物；
- 106~ $n^+$ 擴散區；
- 107~頂氧化層-氮化層-底氧化層；
- 108~電容板；
- 109~障蔽氧化層；
- 110~閘極氧化物；
- 111~控制閘極；
- 112~ $n^+$ 汲極區；
- 113~位元線金屬層；
- 201、201b~半導體基底；
- 201a~深溝槽；
- 202~墊層；
- 203~深溝槽電容；





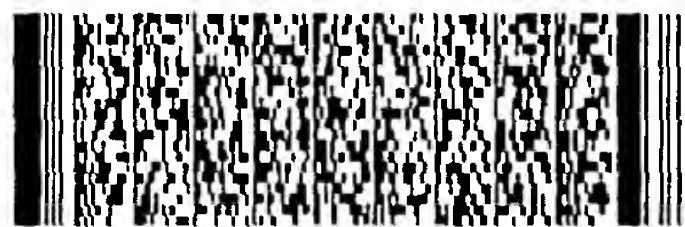
圖式簡單說明

204~環狀絕緣層；

205~隔絕層；

206~罩幕層；

207~光阻層。



#### 六、申請專利範圍

1. 一種具有部分垂直通道之記憶單元之主動區自對準製程，包括下列步驟：

提供一半導體基底，該半導體基底包含有二深溝槽；

於每一深溝槽內形成一深溝槽電容，該等深溝槽電容低於該半導體基底表面；

於每一深溝槽電容表面上形成一隔絕層；

於每一深溝槽內填滿一罩幕層；

於該等深溝槽間之該半導體基底上形成一光阻層，其中該光阻層覆蓋該等罩幕層之部分表面；

以該光阻層及該等罩幕層為蝕刻罩幕，蝕刻該半導體基底至低於該隔絕層之高度；及

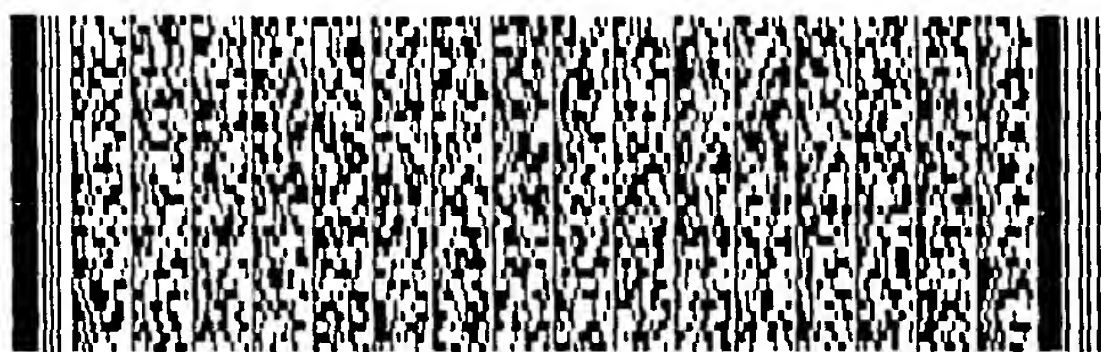
去除該光阻層及該等罩幕層，其中該等深溝槽電容間之突出柱狀之該半導體基底即為一主動區。

2. 如申請專利範圍第1項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該等深溝槽之頂部側壁上形成有一環狀絕緣層。

3. 如申請專利範圍第2項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該環狀絕緣層為領型介電層。

4. 如申請專利範圍第2項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該環狀絕緣層為氧化層。

5. 如申請專利範圍第1項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該隔絕層為氧化層。



## 六、申請專利範圍

6. 如申請專利範圍第1項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該罩幕層為抗反射層。

7. 如申請專利範圍第1項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中蝕刻該半導體基底之反應氣體為含溴化氫氣體與含氧氣體之混合氣體。

8. 如申請專利範圍第1項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中蝕刻該半導體基底的方法為非等向性蝕刻。

9. 如申請專利範圍第8項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該非等向性蝕刻的方法為電漿蝕刻或反應性離子蝕刻。

10. 一種具有部分垂直通道之記憶單元之主動區自對準製程，包括下列步驟：

提供一半導體基底，該半導體基底上形成有一墊層；

於該半導體基底形成二深溝槽，該二深溝槽相隔一既定距離；

於每一深溝槽內形成一深溝槽電容，該等深溝槽電容低於該半導體基底表面，其中每一深溝槽之頂部側壁上形成有一環狀絕緣層；

於該半導體基底及該等深溝槽上順應性形成一隔絕層；

去除該等深溝槽側壁上之該隔絕層，留下該等深溝槽電容表面之該隔絕層；



#### 六、申請專利範圍

於該半導體基底上形成一罩幕層，且該罩幕層填滿該等深溝槽；

平坦化該罩幕層至露出該半導體基底表面為止，以留下該等深溝槽內之該罩幕層；

於該等深溝槽間之該半導體基底上形成一光阻層，其中該光阻層覆蓋該等罩幕層之部分表面；

以該光阻層及該等罩幕層為蝕刻罩幕，蝕刻該半導體基底至降低一既定深度；及

去除該光阻層及該等罩幕層，其中該等深溝槽間之突出柱狀之該半導體基底即為一主動區。

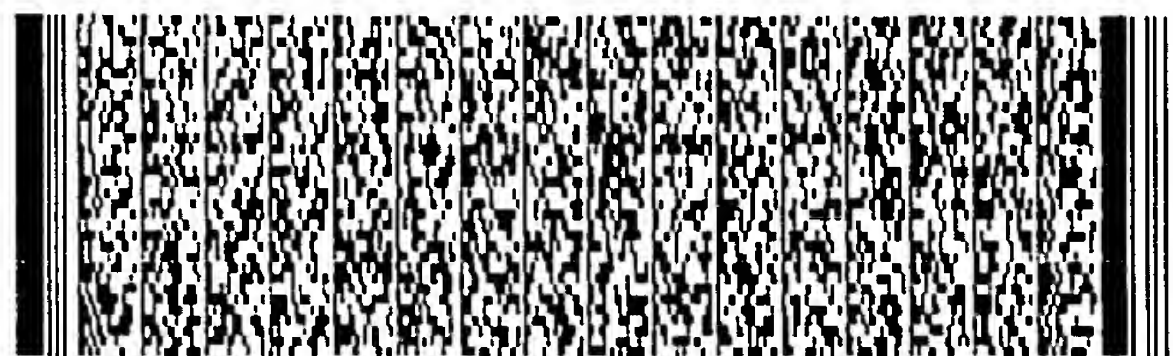
11. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該墊層為墊氧化層或墊氮化層。

12. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該二深溝槽相隔之該既定距離為1200至1400 Å。

13. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該環狀絕緣層為領型介電層。

14. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該環狀絕緣層為氧化層。

15. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該隔絕層為氧化



## 六、申請專利範圍

層。

16. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中去除該深溝槽側壁之隔絕層的方法為等向性蝕刻。

17. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該罩幕層為抗反射層。

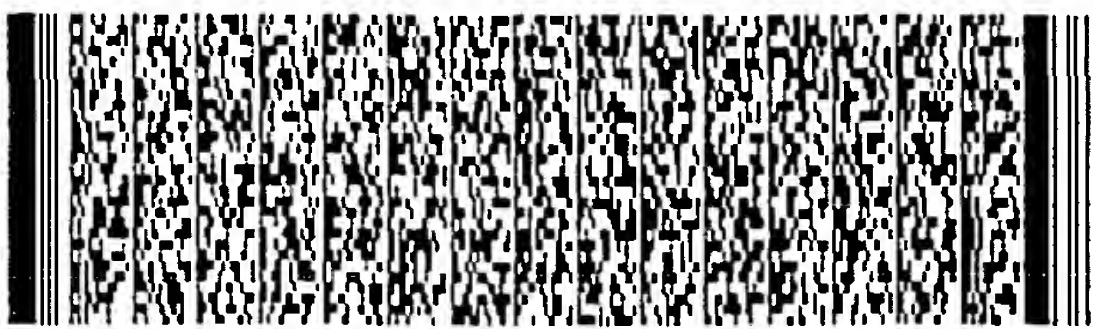
18. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中平坦化該罩幕層的方法為化學機械研磨或回蝕刻步驟。

19. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中蝕刻該半導體基底之反應氣體為含溴化氫氣體與含氧氣體之混合氣體。

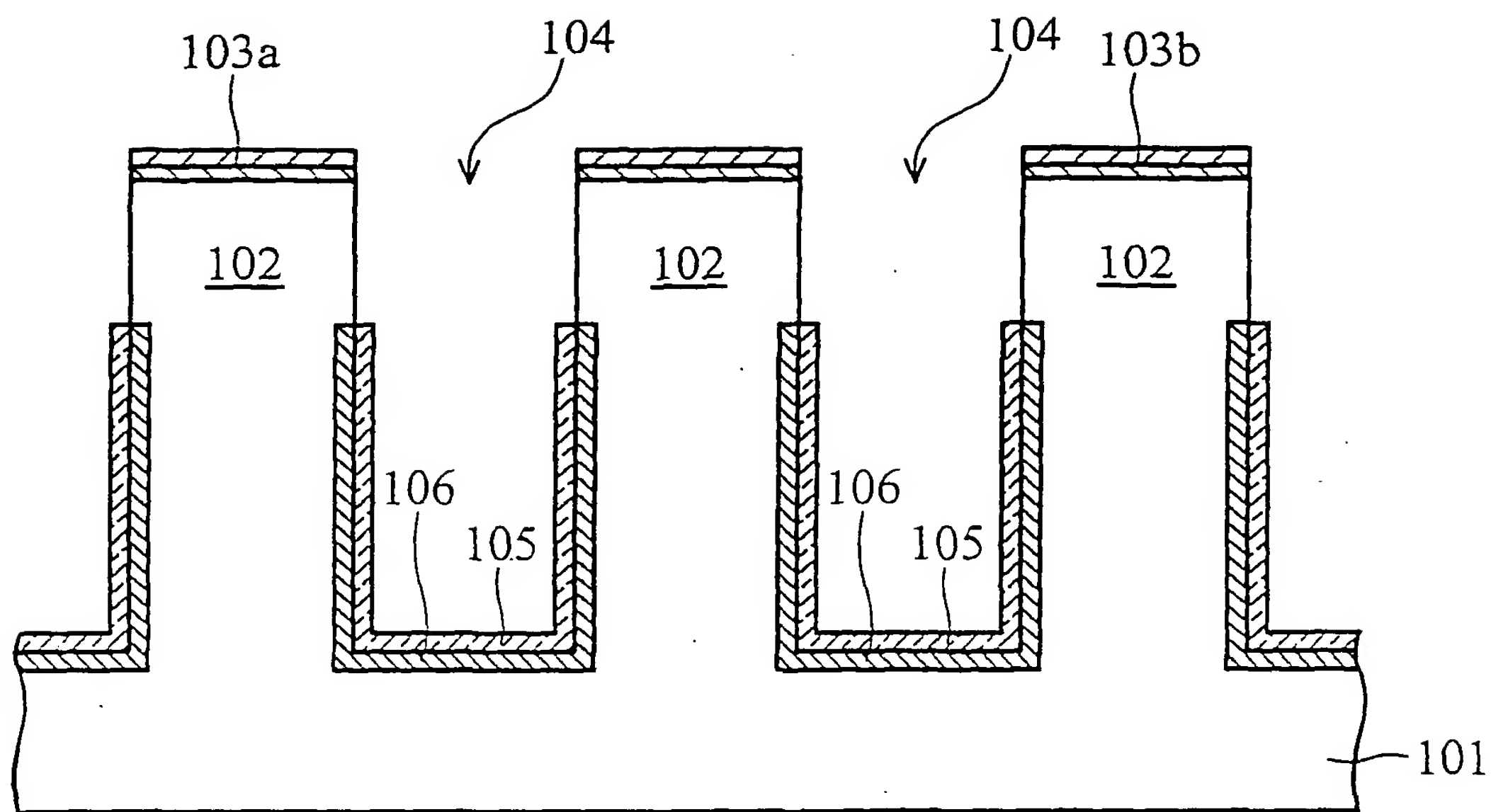
20. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中蝕刻該半導體基底的方法為非等向性蝕刻。

21. 如申請專利範圍第20項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該非等向性蝕刻的方法為電漿蝕刻或反應性離子蝕刻。

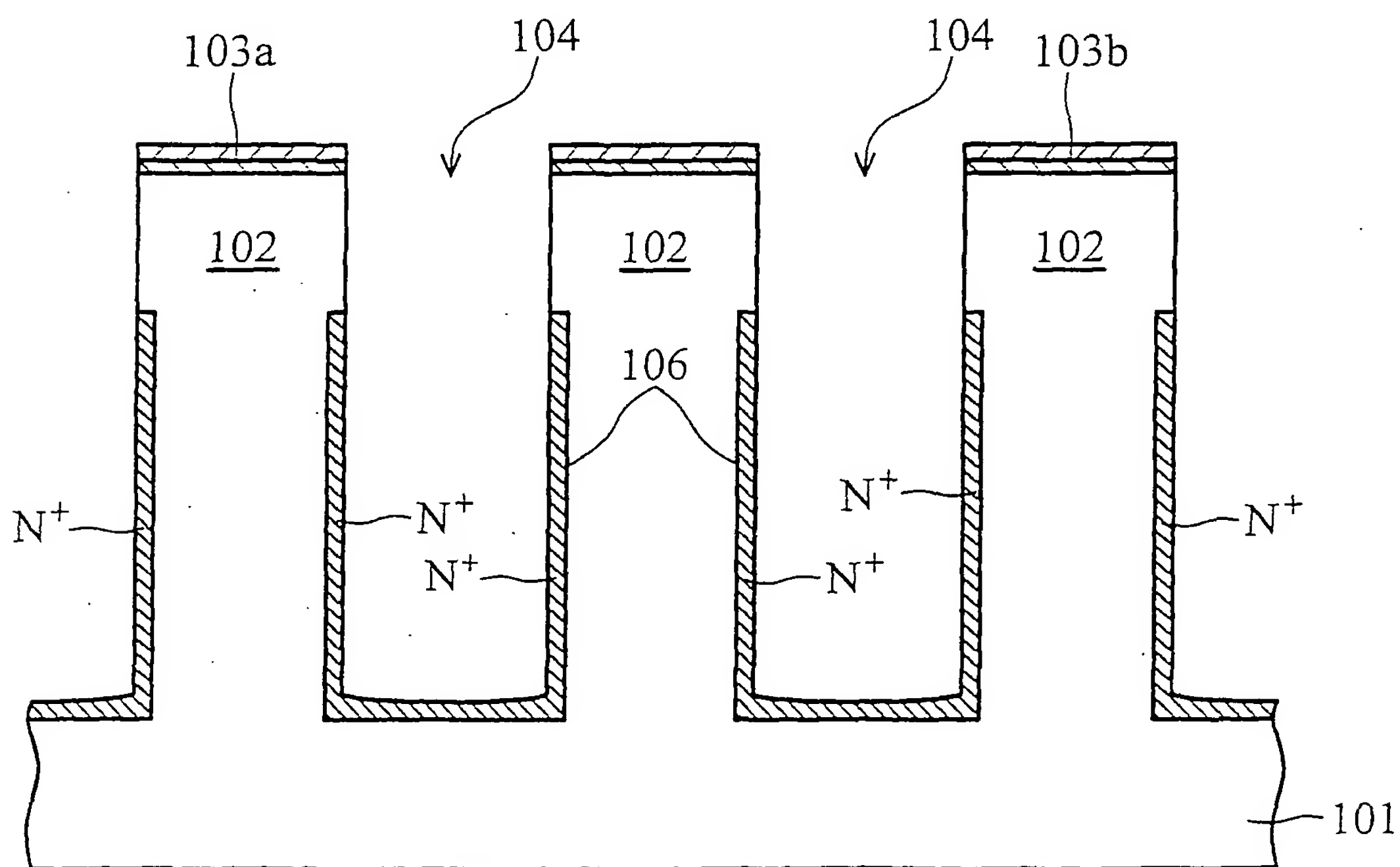
22. 如申請專利範圍第10項所述之具有部分垂直通道之記憶單元之主動區自對準製程，其中該既定深度為2600至3300 Å。



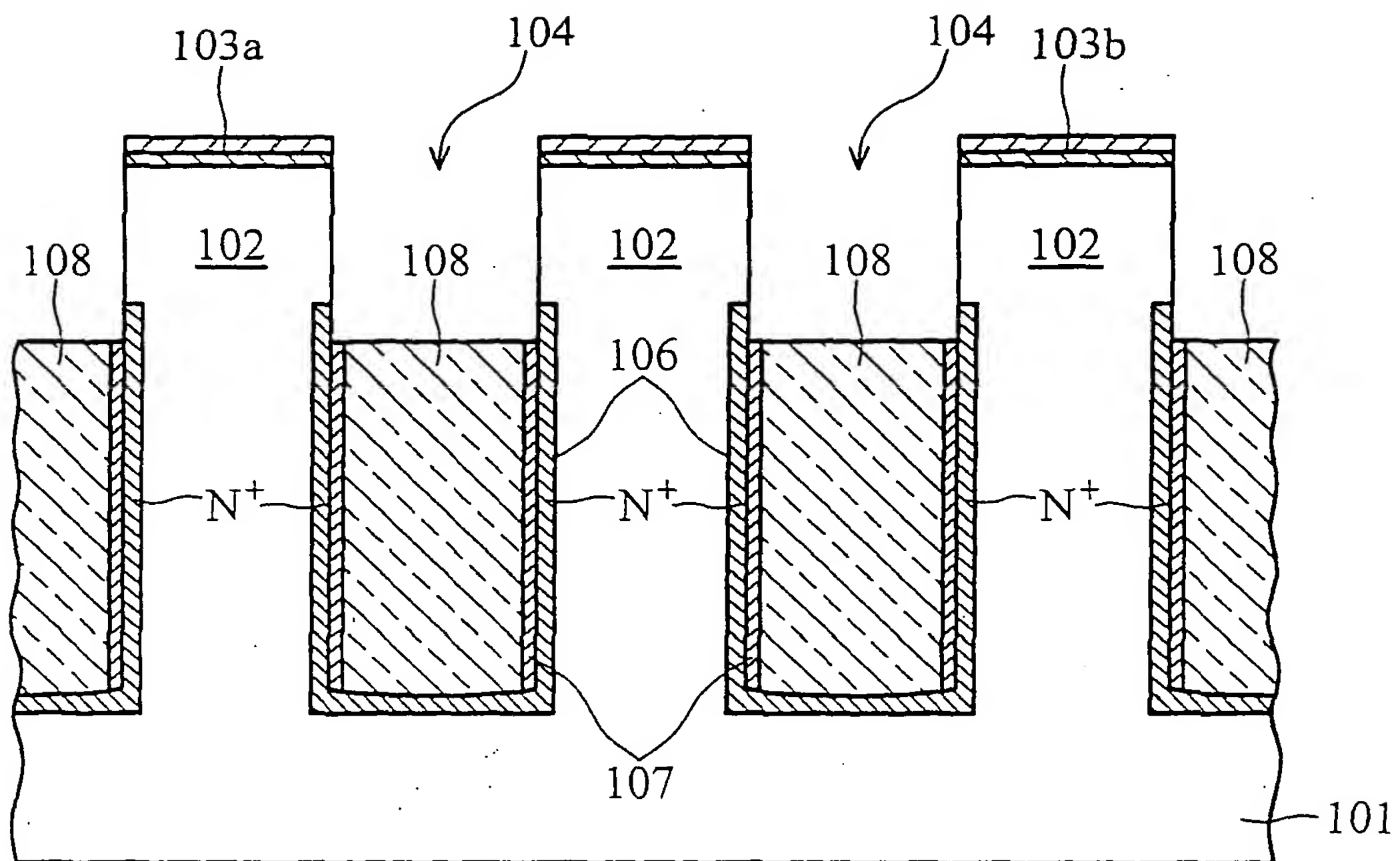




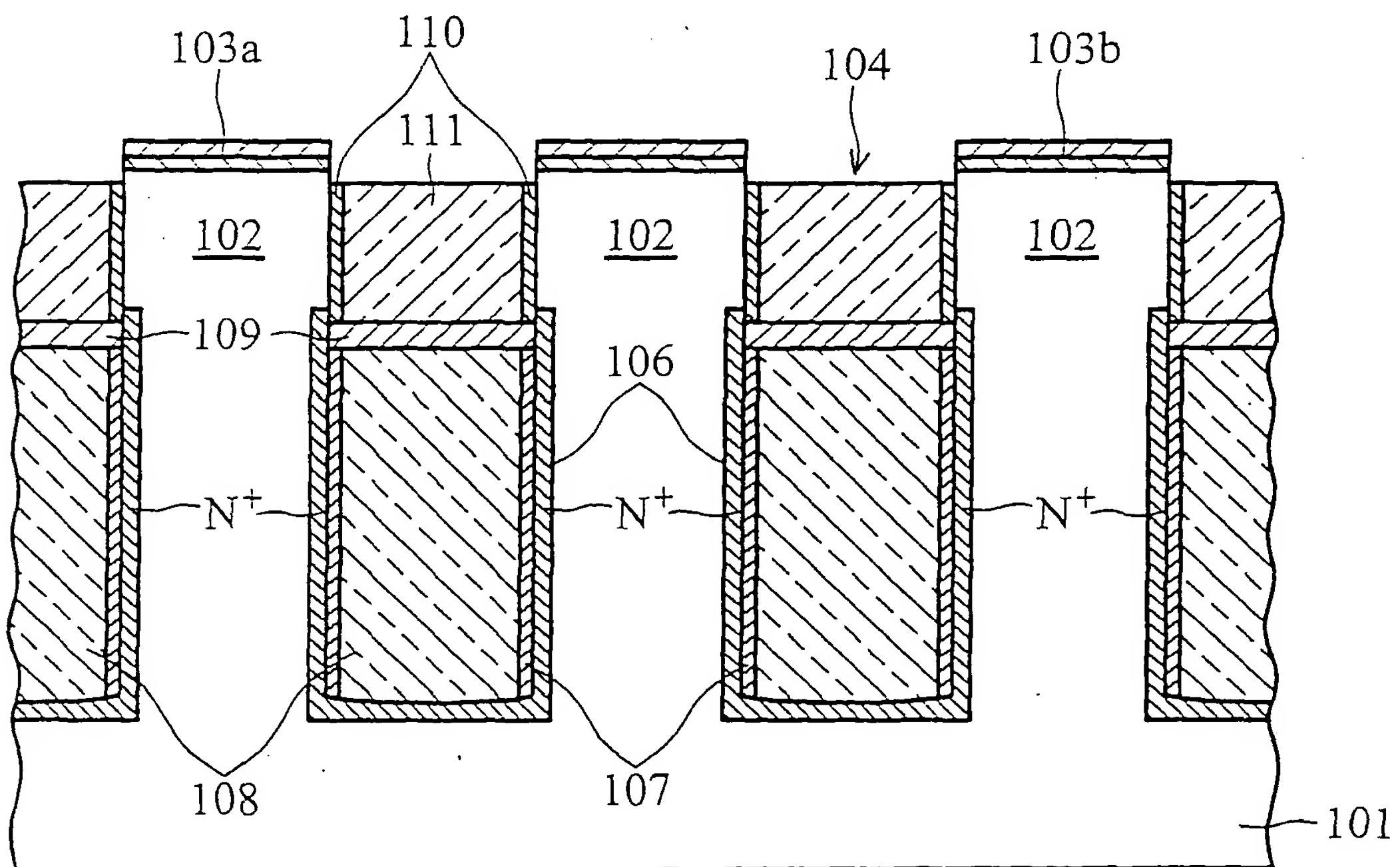
第1a圖



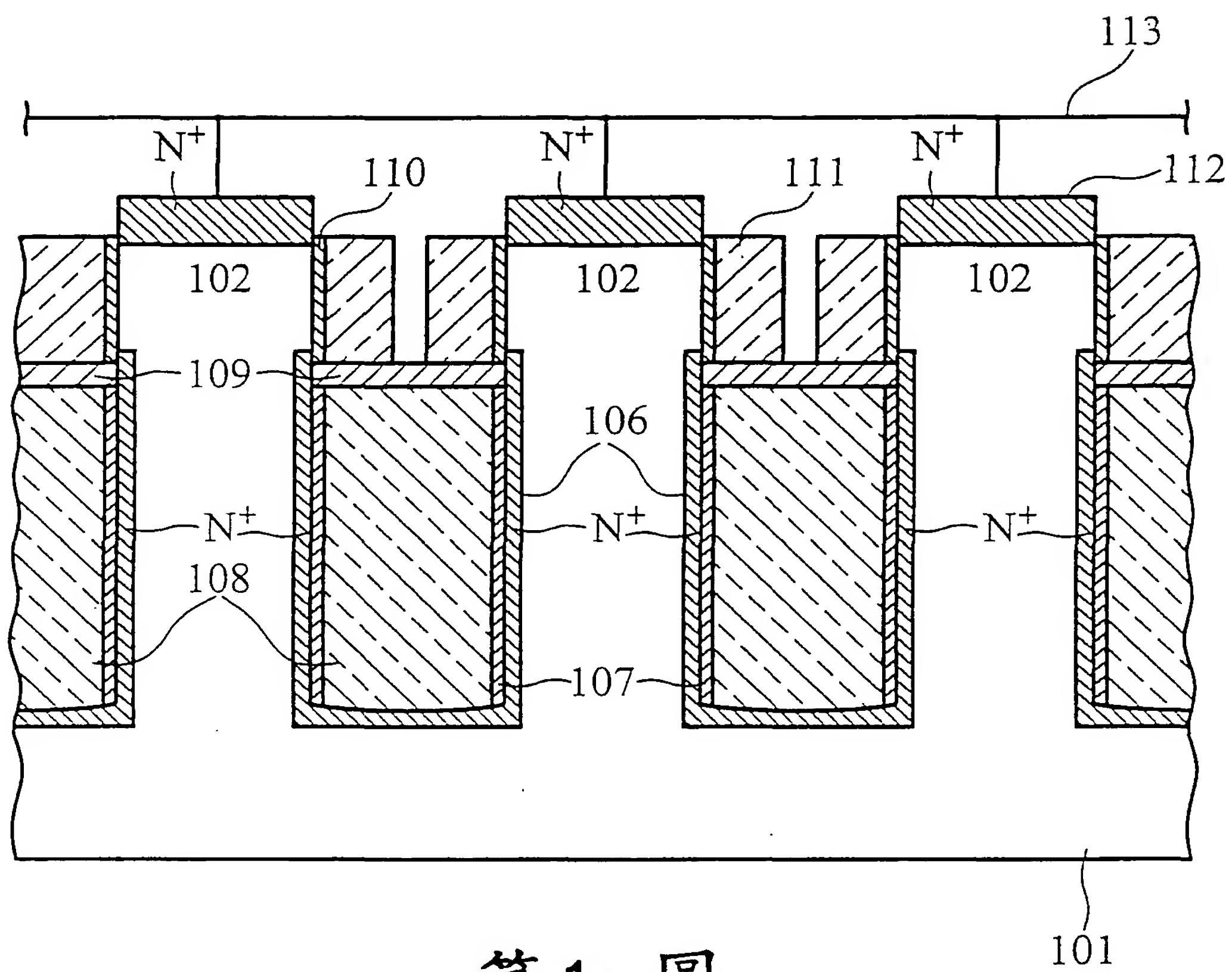
第1b圖



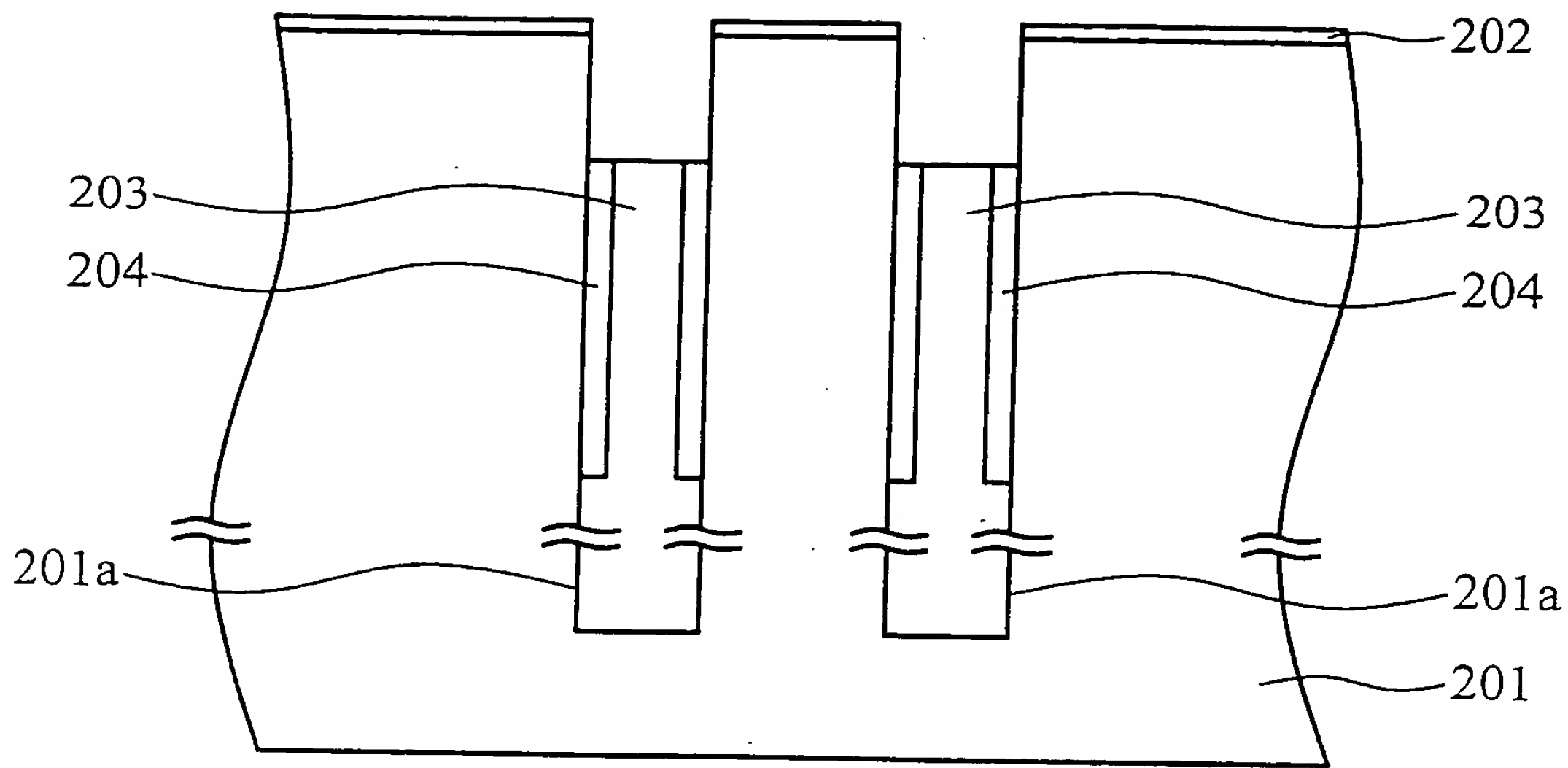
第1c圖



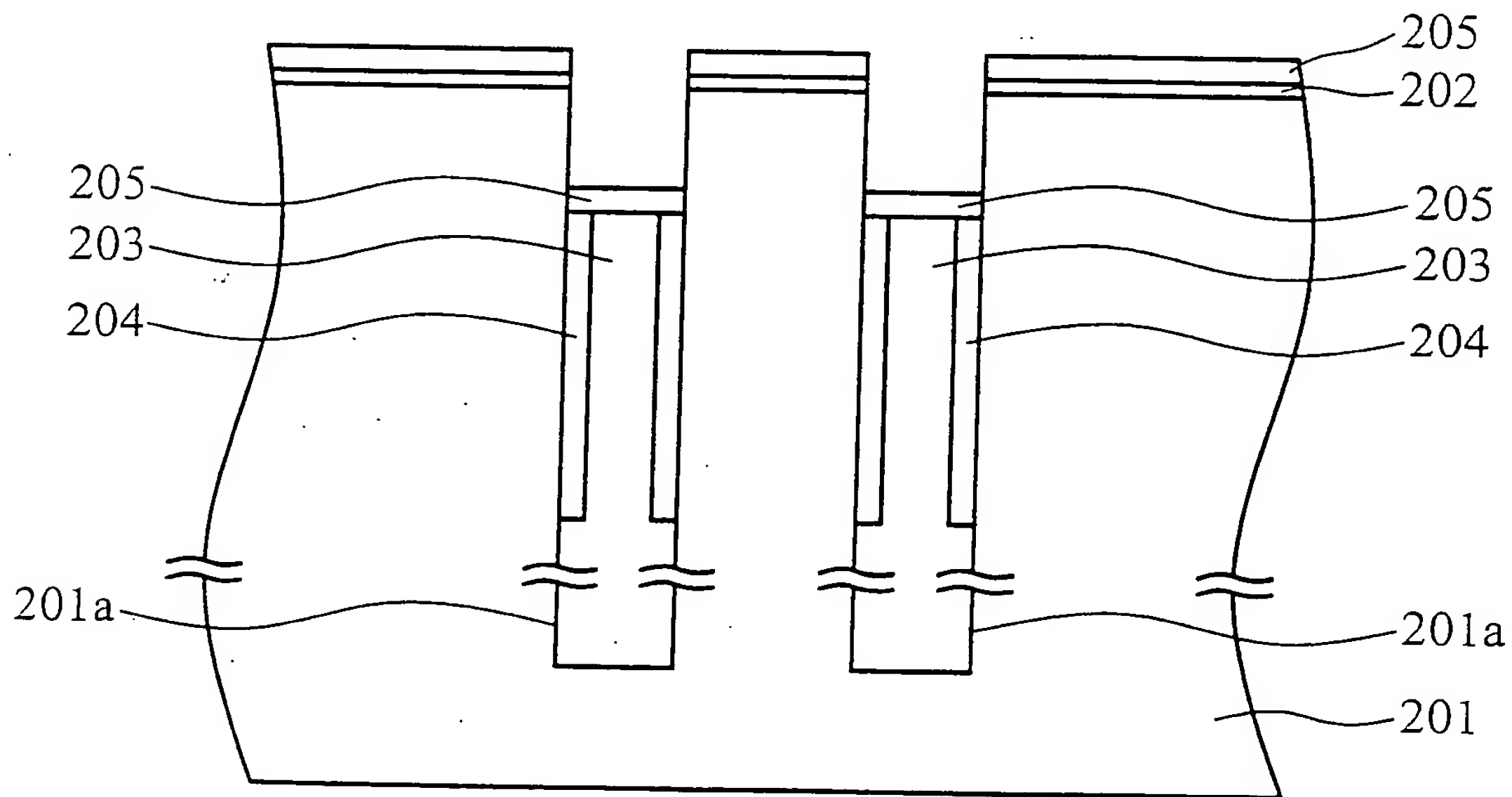
第1d圖



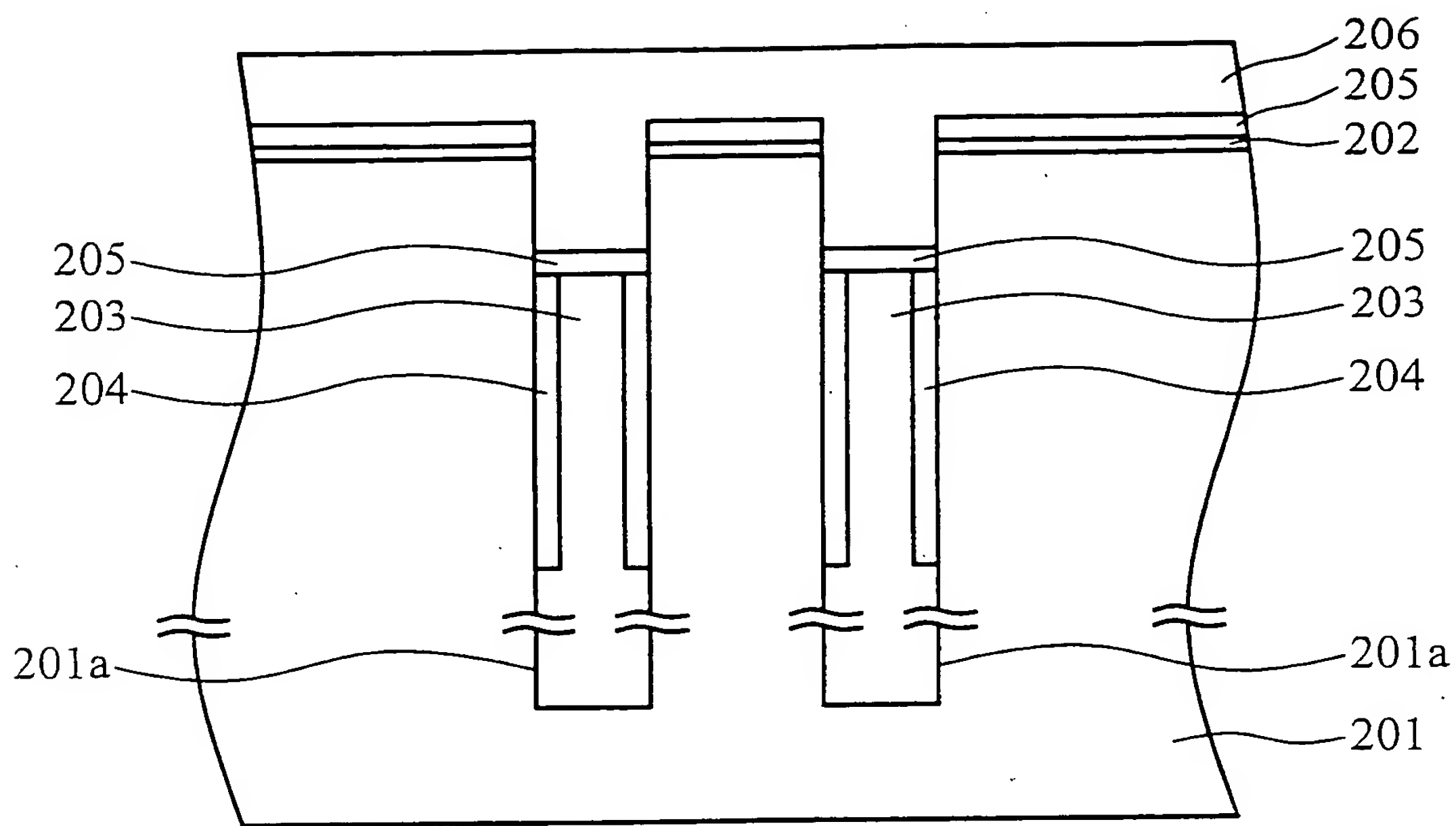
第1e圖



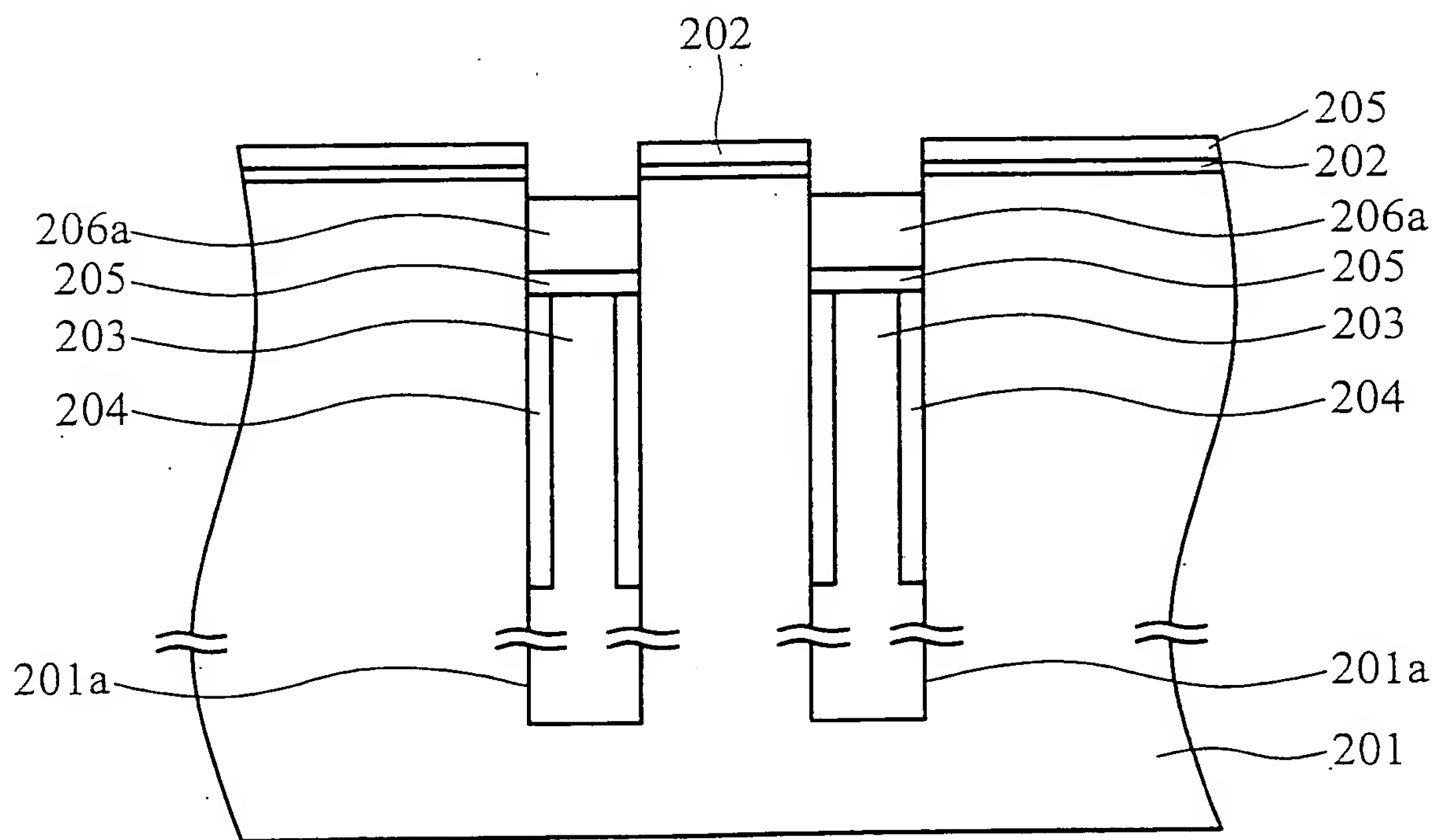
第2a圖



第2b圖

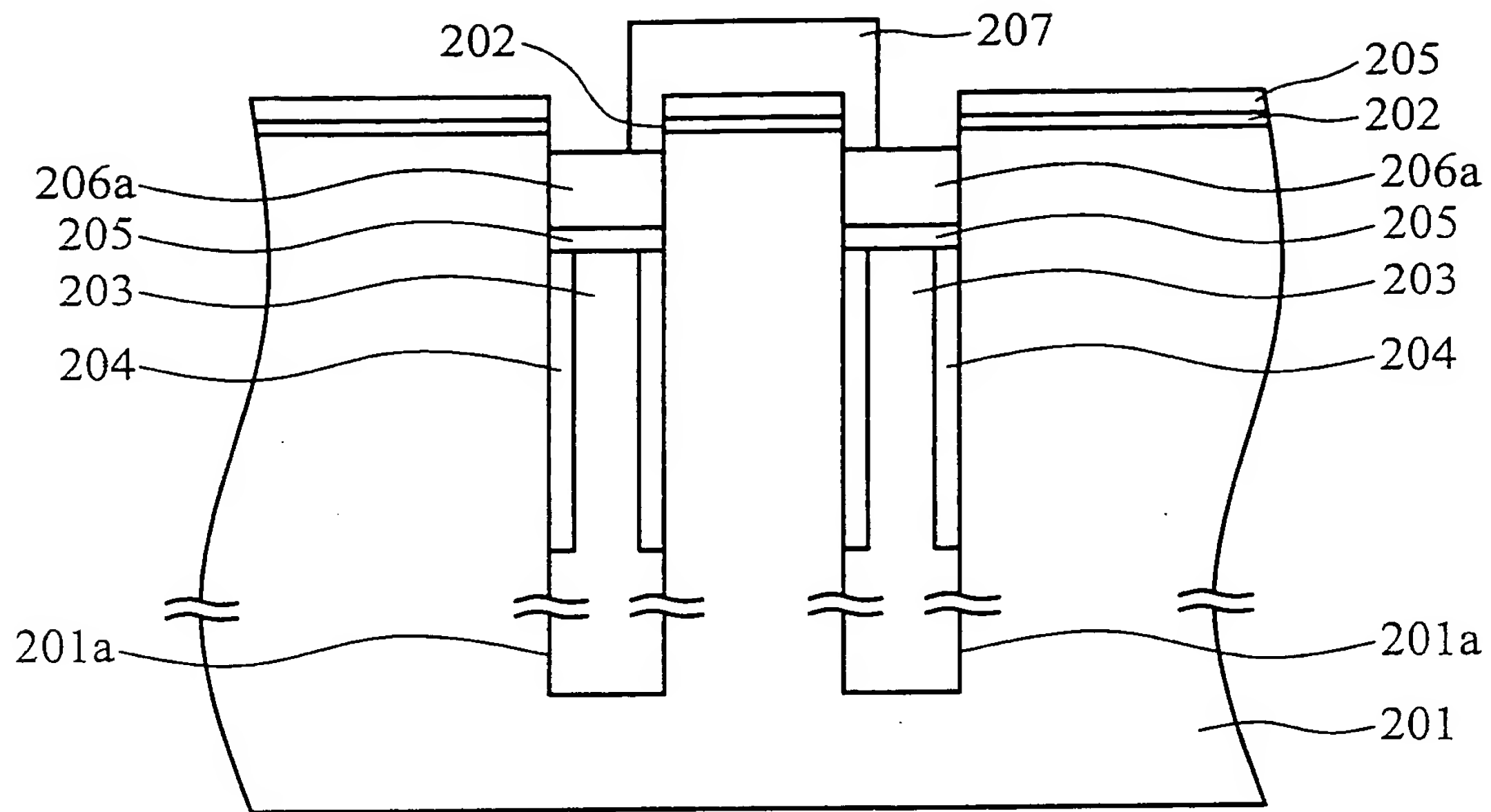


第2c圖

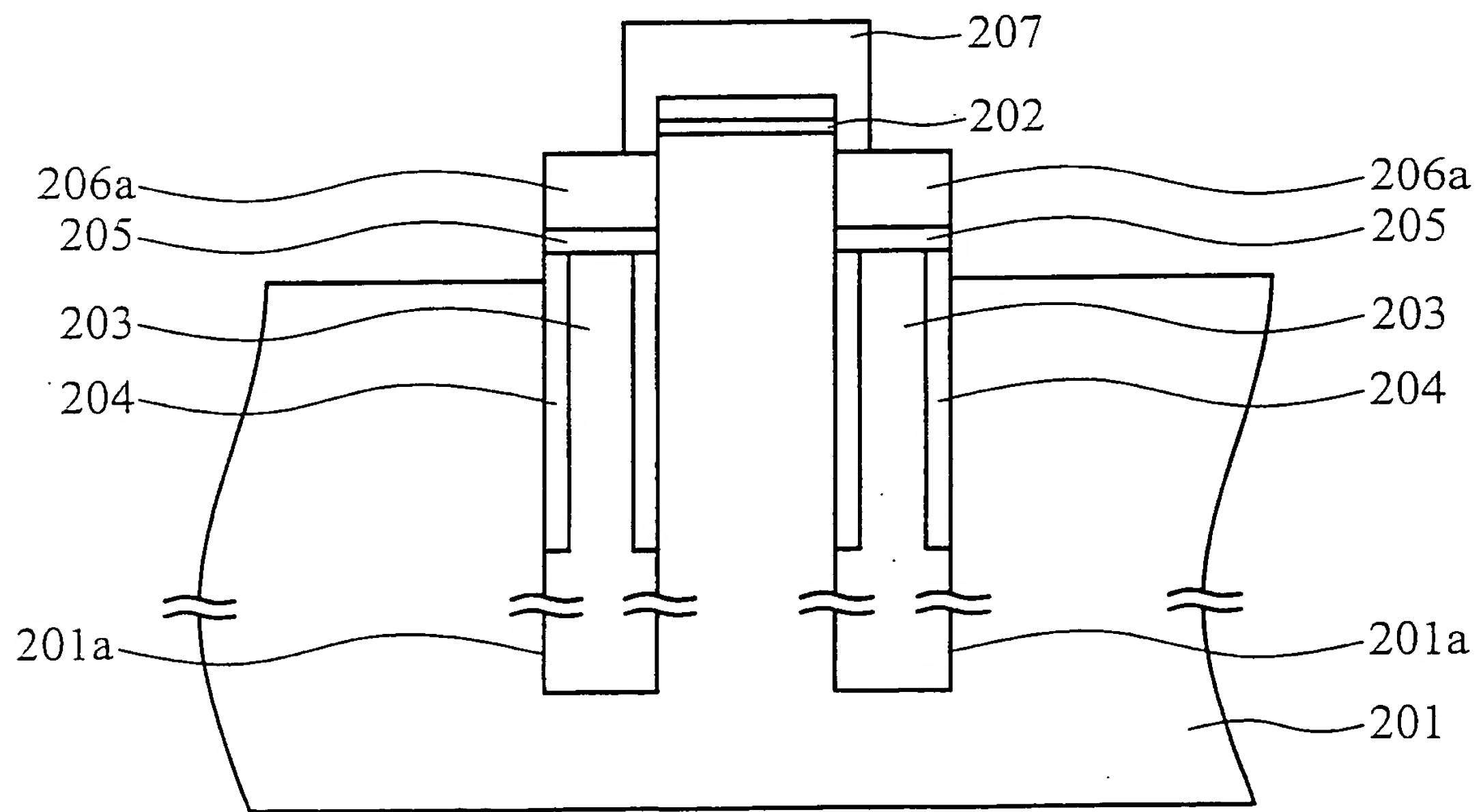


第2d圖

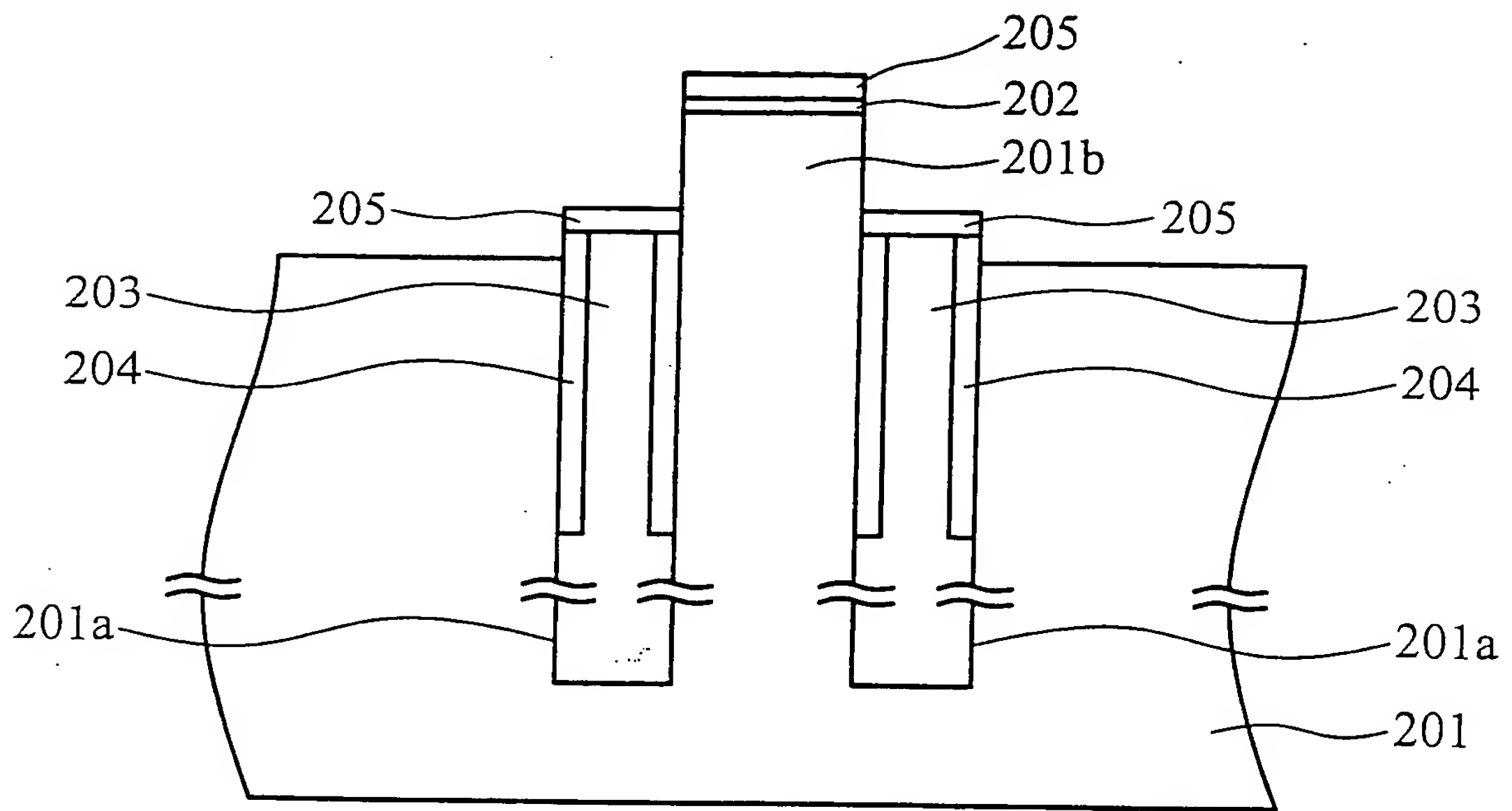




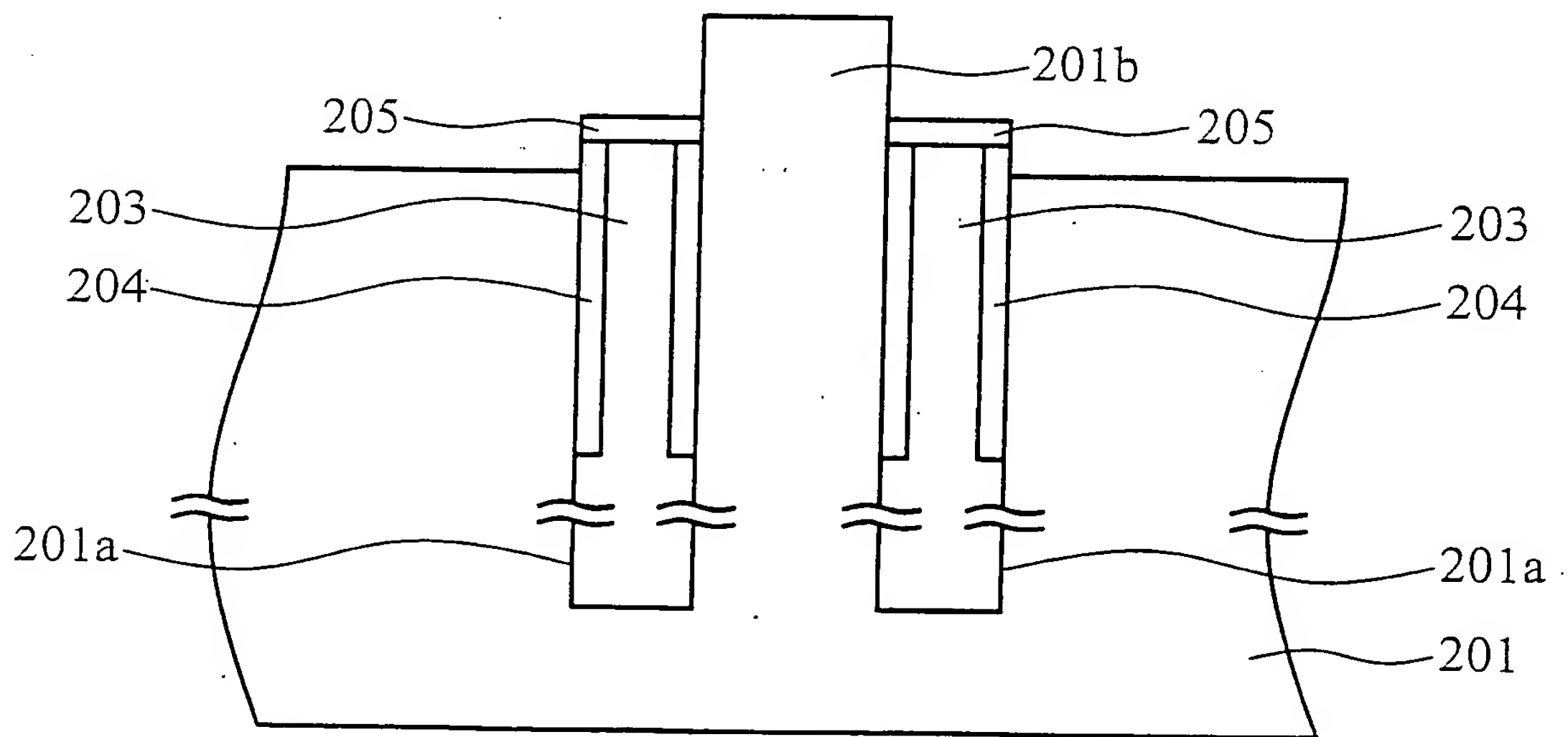
第 2e 圖



第 2f 圖

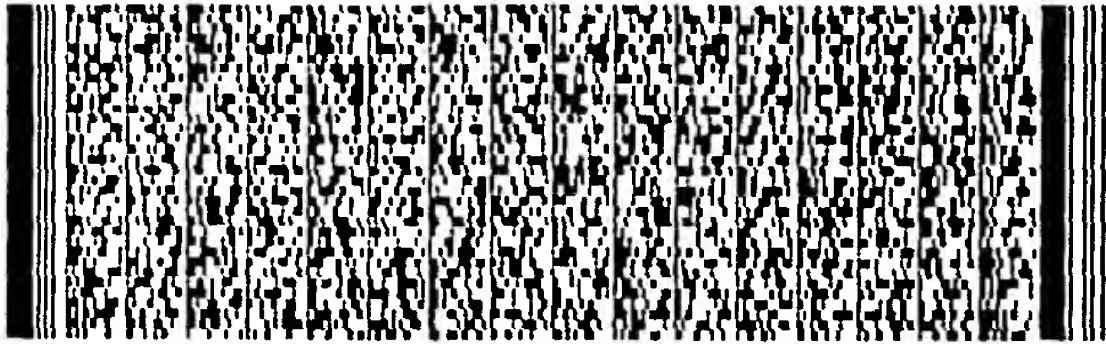


第 2g 圖



第 2h 圖

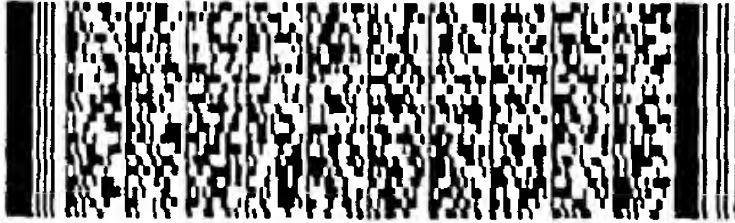
第 1/17 頁



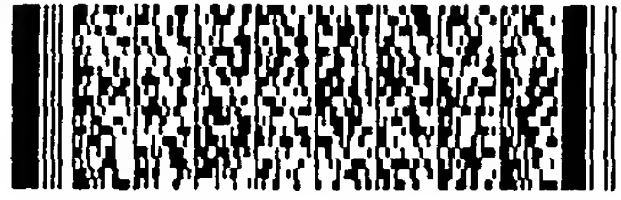
第 2/17 頁



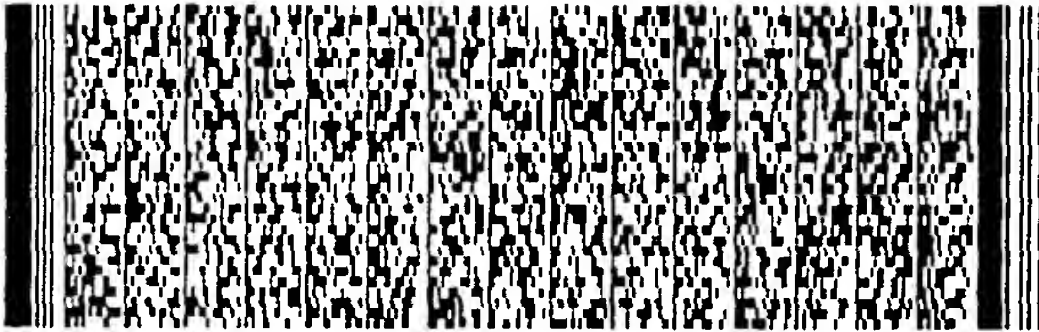
第 3/17 頁



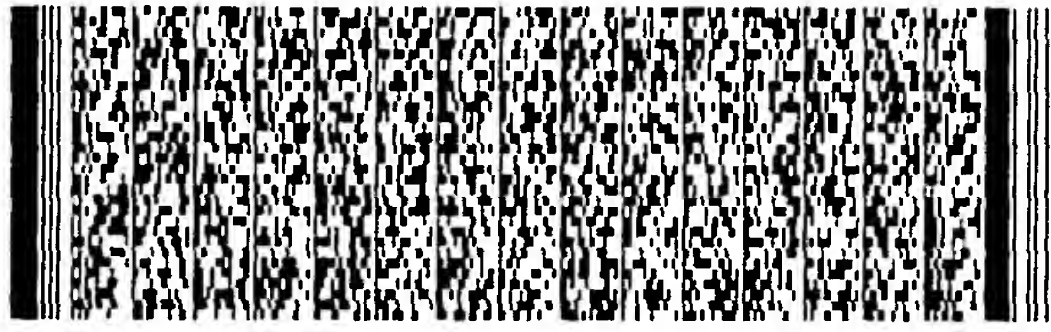
第 4/17 頁



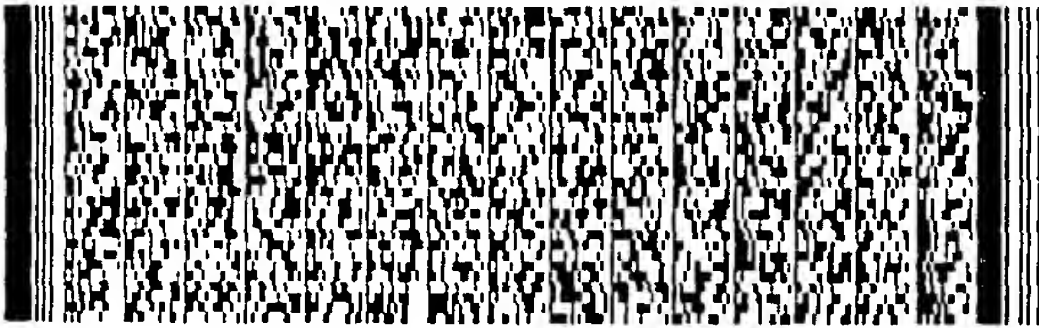
第 5/17 頁



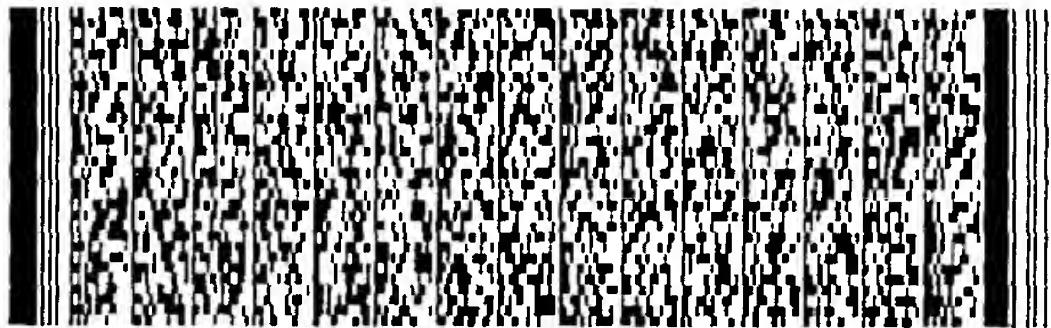
第 5/17 頁



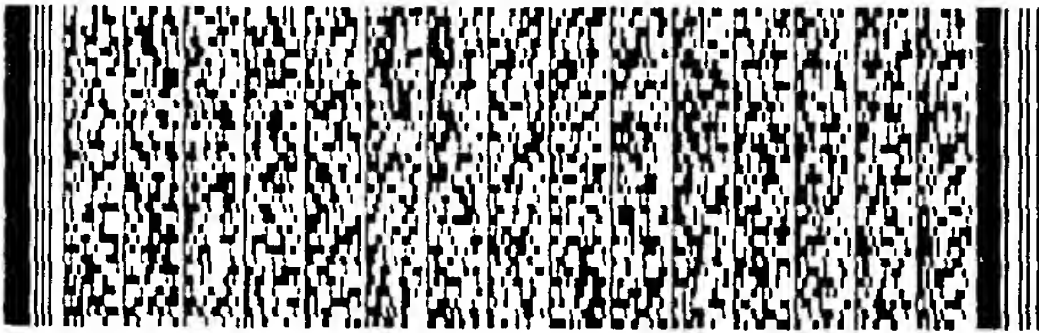
第 6/17 頁



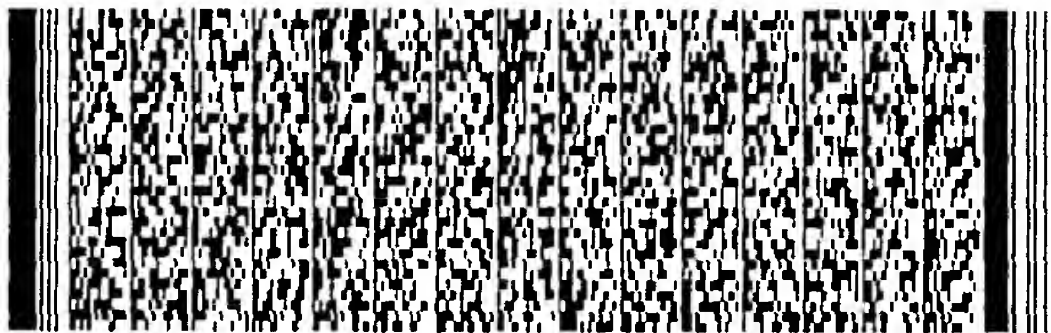
第 6/17 頁



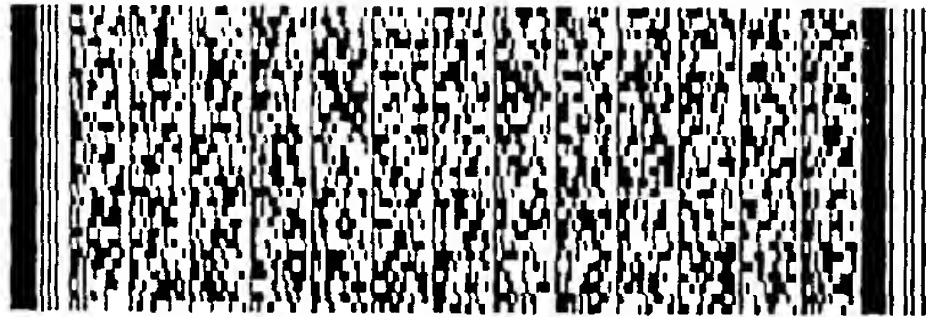
第 7/17 頁



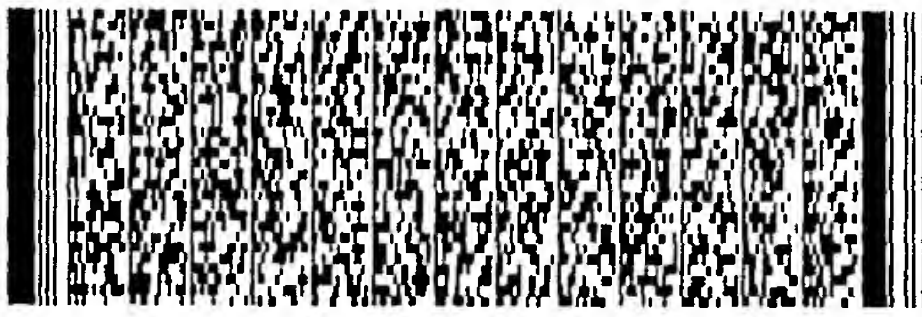
第 7/17 頁



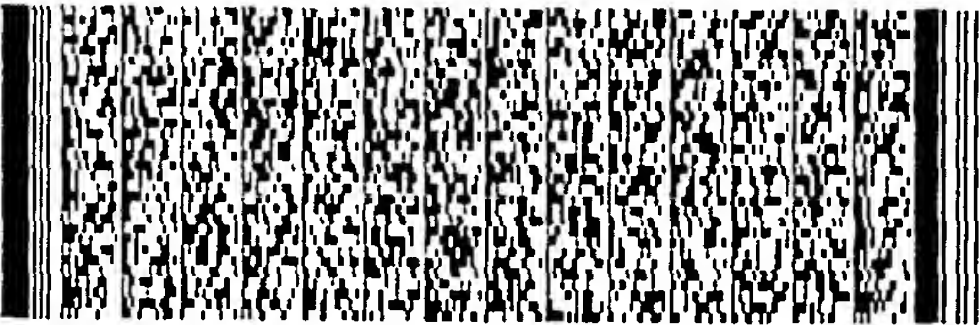
第 8/17 頁



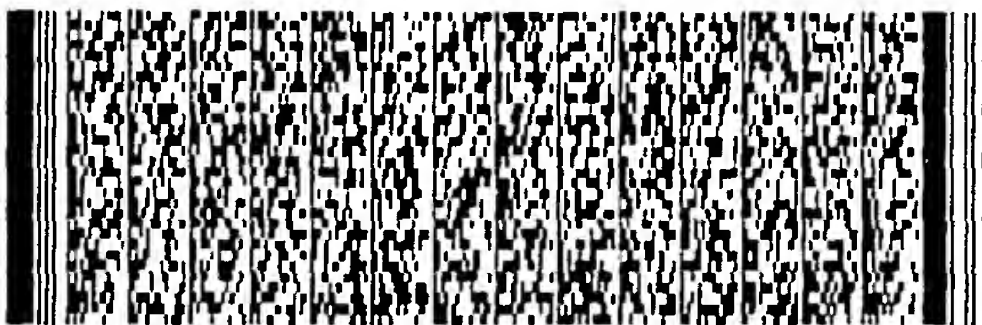
第 8/17 頁



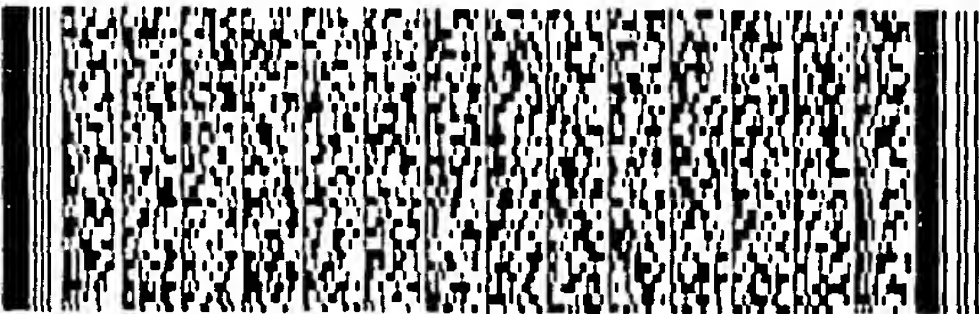
第 9/17 頁



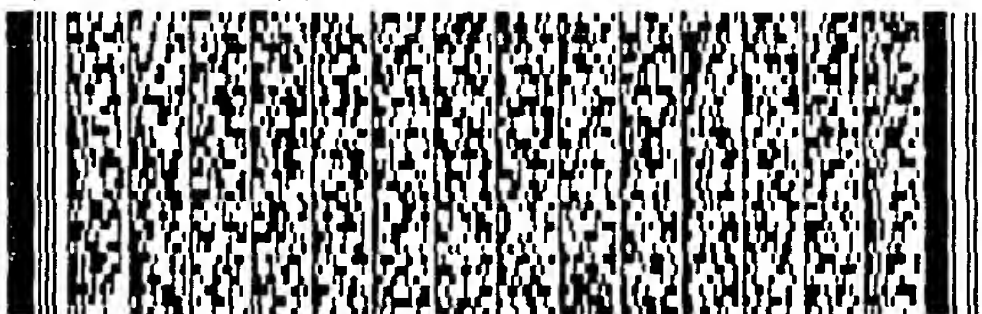
第 9/17 頁



第 10/17 頁

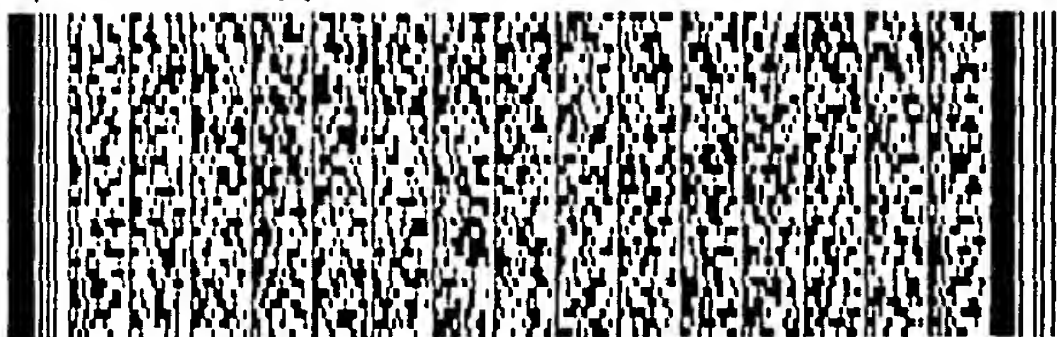


第 10/17 頁

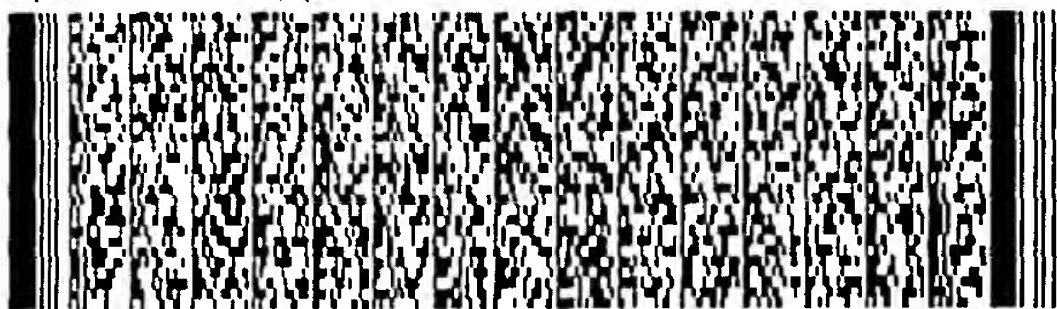




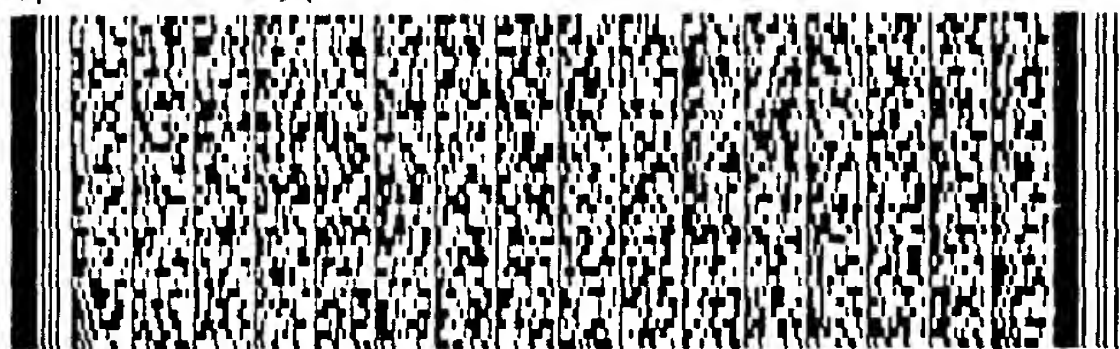
第 11/17 頁



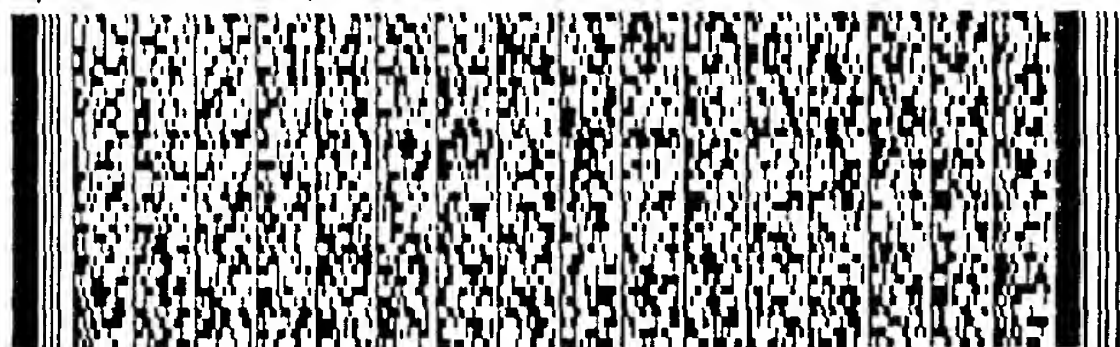
第 12/17 頁



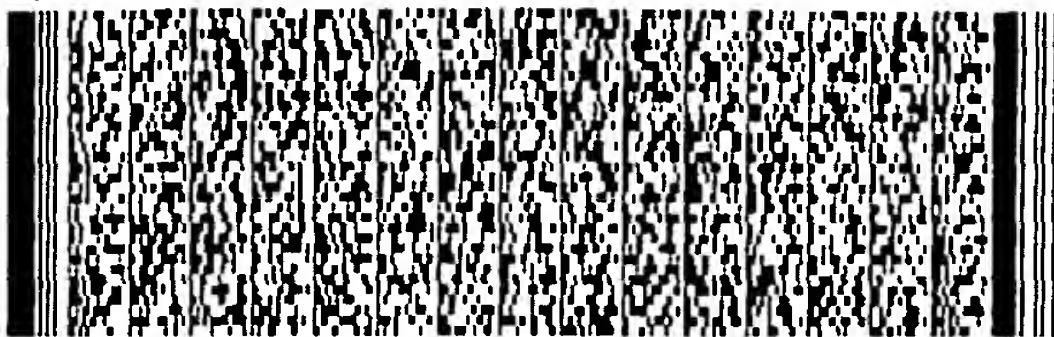
第 14/17 頁



第 16/17 頁



第 11/17 頁



第 13/17 頁



第 15/17 頁



第 17/17 頁

